

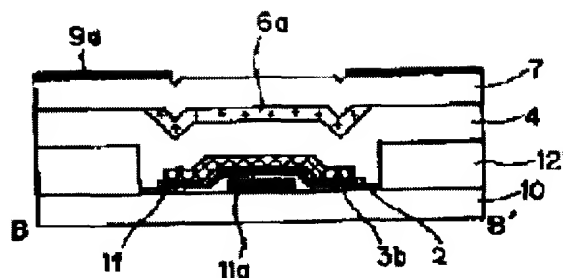
## LIQUID CRYSTAL DEVICE AND ITS MANUFACTURE, AND ELECTRONIC EQUIPMENT

**Patent number:** JP11218781  
**Publication date:** 1999-08-10  
**Inventor:** MURADE MASAO  
**Applicant:** SEIKO EPSON CORP  
**Classification:**  
- international: **G02F1/136; G02F1/133; G02F1/1368; G02F1/13;**  
(IPC1-7): G02F1/136  
- european:  
**Application number:** JP19980020001 19980130  
**Priority number(s):** JP19980020001 19980130

Report a data error here

### Abstract of JP11218781

**PROBLEM TO BE SOLVED:** To reduce a defect in alignment of liquid crystal which possibly causes an increase in storage capacity and deterioration in picture quality by recessing an inter-layer insulating film in an area facing a 2nd storage capacity electrode part below at least a data line of a capacity line. **SOLUTION:** A 1st inter-layer insulating film 12' formed of a single or more layers is provided between a shading film 11a and pixel switching TFTs. The 1st inter-layer insulating film 12' is formed over the entire surface of a TFT array substrate to function as a substrate film for the pixel switching TFTs. In the area which includes the capacity line 3b formed, specially, below the data line 6a and is encircled with the thick line, the 1st inter-layer insulating film 12' is recessed and formed. Consequently, the alignment defect of liquid crystal can effectively be reduced.



(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-218781

(43) 公開日 平成11年(1999) 8月10日

(51) Int. Cl.<sup>6</sup>  
G02F 1/136

識別記号  
500

F I  
G02F 1/136 500

審査請求 未請求 請求項の数19 O L (全30頁)

(21) 出願番号 特願平10-20001  
(22) 出願日 平成10年(1998) 1月30日

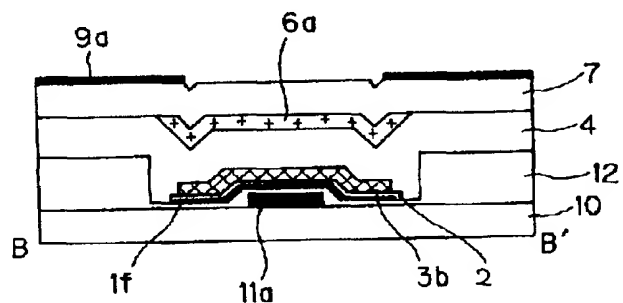
(71) 出願人 000002369  
セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号  
(72) 発明者 村出 正夫  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 液晶装置及びその製造方法並びに電子機器

## (57) 【要約】

【課題】 TFT駆動によるアクティブマトリクス駆動方式の液晶装置において、画素部を平坦化しつつ画素電極の蓄積容量を増加させる。

【解決手段】 液晶装置(100)は、一对の基板間に挟持された液晶層(50)と、TFTアレイ基板(10)にマトリクス状に設けられた画素電極(11)とを備える。第1蓄積容量電極が、画素部のTFT(30)を構成する半導体層(1a)からデータ線(6a)下に延設されている。容量線(3b)は、データ線下において第1蓄積容量電極と対向配置された第2蓄積容量電極部を含む。層間絶縁膜は、このデータ線下にある蓄積容量電極に対向する領域が凹状に窪んで形成されている。



## 【特許請求の範囲】

【請求項 1】 一对の基板間に液晶が封入されてなり、該一对の基板の一方の基板上に複数のデータ線と、該複数のデータ線に交差する複数の走査線と、前記複数のデータ線及び走査線に各々接続された複数の薄膜トランジスタと、該複数の薄膜トランジスタに各々接続されて前記データ線より上方に配置された複数の画素電極と、該複数の薄膜トランジスタのドレイン又はソース領域を構成する半導体層と同一材料からなり少なくとも前記データ線下に各々延設された複数の第 1 蓄積容量電極部と、前記データ線下において前記複数の第 1 蓄積容量電極部と絶縁膜を介して各々対向配置された第 2 蓄積容量電極部を各々含む複数の容量線と、前記一方の基板と前記画素電極との間に配置された少なくとも 1 つの層間絶縁膜とを備えており、

前記層間絶縁膜は、前記容量線のうち少なくとも前記データ線下にある前記第 2 蓄積容量電極部に対向する領域が凹状に窪んで形成されてなることを特徴とする液晶装置。

【請求項 2】 一对の基板間に液晶が封入されてなり、該一对の基板の一方の基板上に複数のデータ線と、該複数のデータ線に交差する複数の走査線と、前記複数のデータ線及び走査線に各々接続された複数の薄膜トランジスタと、該複数の薄膜トランジスタに各々接続された複数の画素電極と、該複数の薄膜トランジスタのドレイン又はソース領域を構成する半導体層と同一材料からなり少なくとも前記データ線下に各々延設された複数の第 1 蓄積容量電極部と、前記データ線下において前記複数の第 1 蓄積容量電極部と絶縁膜を介して各々対向配置された第 2 蓄積容量電極部を各々含む複数の容量線と、前記一方の基板及び前記第 1 蓄積容量電極部の間に配置されている第 1 層間絶縁膜と、前記第 2 蓄積容量電極部及び前記データ線の間に配置されている第 2 層間絶縁膜と、前記データ線及び前記画素電極の間に配置されている第 3 層間絶縁膜とを備えており、前記第 1、第 2 及び第 3 層間絶縁膜のうち少なくとも一つの絶縁膜は、前記容量線のうち少なくとも前記データ線下にある前記第 2 蓄積容量電極部に対向する領域が凹状に窪んで形成されたことを特徴とする液晶装置。

【請求項 3】 前記複数の第 1 蓄積容量電極部は更に、前記複数の走査線と平行に各々延設されており、前記複数の第 2 蓄積容量電極部は更に、前記走査線と平行に延設された前記第 1 蓄積容量電極部と前記容量形成用絶縁膜を介して対向配置されており、前記少なくとも一つの絶縁膜は更に、前記容量線のうち前記走査線と平行な前記第 2 蓄積容量電極部に対向する領域が凹状に窪んで形成されたことを特徴とする請求項 2 に記載の液晶装置。

【請求項 4】 前記画素電極上に配置されており、隣接して並べられた一对の走査線及び容量線に対して前記走

査線の側から前記容量線の側に向う前記データ線に沿った方向でラビング処理された配向膜と、

前記一对の走査線及び容量線を前記走査線に沿った一本の帯部でまとめて覆う遮光層とを更に備えたことを特徴とする請求項 3 に記載の液晶装置。

【請求項 5】 前記少なくとも一つの絶縁膜は、単層から構成されていることを特徴とする請求項 2 から 4 のいずれか一項に記載の液晶装置。

【請求項 6】 前記少なくとも一つの絶縁膜は、単層部分と多層部分とから構成されており、前記単層部分が前記凹状に窪んだ部分とされており、前記多層部分が前記凹状に窪んでない部分とされていることを特徴とする請求項 2 から 4 のいずれか一項に記載の液晶装置。

【請求項 7】 前記第 1 及び第 2 層間絶縁膜は、酸化シリコン膜又は窒化シリコン膜から各々構成されていることを特徴とする請求項 2 から 6 のいずれか一項に記載の液晶装置。

【請求項 8】 前記第 1 層間絶縁膜を前記一方の基板が兼ねており、前記第 2 及び第 3 層間絶縁膜のうち少なくとも一方は、前記容量線のうち少なくとも前記データ線下にある前記第 2 蓄積容量電極部に対向する領域が凹状に窪んで形成されたことを特徴とする請求項 2 から 7 のいずれか一項に記載の液晶装置。

【請求項 9】 前記基板と前記第 1 層間絶縁膜との間において、前記複数の薄膜トランジスタの少なくともチャネル形成用領域を前記一方の基板の側から見て各々重なる位置に設けられた遮光膜を更に備えたことを特徴とする請求項 2 から 7 のいずれか一項に記載の液晶装置。

【請求項 10】 前記遮光膜は、前記第 1 蓄積容量電極部の前記データ線下の部分及び前記走査線と平行な部分のうち少なくとも一方と前記第 1 層間絶縁膜を介して対向する位置に設けられた第 3 蓄積容量電極部を含んでおり、

前記第 1 層間絶縁膜は、前記第 3 蓄積容量電極部と前記第 1 蓄積容量電極部との間の領域が前記凹状に窪んで形成されたことを特徴とする請求項 9 に記載の液晶装置。

【請求項 11】 前記遮光膜は、Ti、Cr、W、Ta、Mo 及び Pd のうちの少なくとも一つを含むことを特徴とする請求項 9 又は 10 に記載の液晶装置。

【請求項 12】 前記遮光膜は、定電位源に接続されていることを特徴とする請求項 9 から 11 のいずれか一項に記載の液晶装置。

【請求項 13】 前記第 1 層間絶縁膜は、前記遮光膜と前記定電位源とが接続される位置において、前記凹状に窪んで形成されると共に開孔されたことを特徴とする請求項 12 に記載の液晶装置。

【請求項 14】 請求項 5 に記載の液晶装置の製造方法であって、

前記単層を構成すべき絶縁膜を堆積する工程と、  
該堆積された絶縁膜に前記凹状に窪んだ部分に対応するレジストパターンをフォトリソグラフィで形成する工程と、  
該レジストパターンを介して所定時間のエッチングを行い前記凹状に窪んだ部分を形成するエッチング工程とを備えたことを特徴とする液晶装置の製造方法。

【請求項 1 5】 請求項 6 に記載の液晶装置の製造方法であって、

前記多層部分を構成すべき第 1 絶縁膜を堆積する工程と、

該堆積された第 1 絶縁膜に前記凹状に窪んだ部分に対応するレジストパターンをフォトリソグラフィで形成する工程と、

該レジストパターンを介してエッチングを行い前記凹状に窪んだ部分に対応する前記第 1 絶縁膜を除去するエッチング工程と、

前記単層部分及び多層部分を構成すべき第 2 絶縁膜を前記第 1 絶縁膜及び前記第 1 絶縁膜を除去した領域上に堆積する工程とを備えたことを特徴とする液晶装置の製造方法。

【請求項 1 6】 前記エッチング工程は、前記凹状に窪んだ部分の側壁をテーパ状に形成するウエットエッチング工程を含むことを特徴とする請求項 1 3 又は 1 5 に記載の液晶装置の製造方法。

【請求項 1 7】 前記走査線及び容量線を一对にして相隣接する前記画素電極間に並べるように前記第 1 層間絶縁膜上に形成する工程と、

前記画素電極上及び前記画素電極が形成されていない前記第 3 層間絶縁膜の部分上に配向膜を形成する工程と、  
該配向膜を、前記一对の走査線及び容量線に対して前記走査線の側から前記容量線の側に向う前記データ線に沿った方向でラビング処理する工程とを備えたことを特徴とする請求項 1 4 から 1 6 のいずれか一項に記載の液晶装置の製造方法。

【請求項 1 8】 請求項 1 3 に記載の液晶装置の製造方法であって、

前記一方の基板上の所定領域に前記遮光膜を形成する工程と、

前記接続される位置に対応する部分が前記凹状に窪むように前記一方の基板及び遮光膜上に前記第 1 層間絶縁膜を形成する工程と、

前記第 1 層間絶縁膜上に前記薄膜トランジスタを形成する工程と、

前記薄膜トランジスタ及び第 1 層間絶縁膜上に第 2 層間絶縁膜を形成する工程と、

前記遮光膜と前記定電位源からの配線とを接続するためのコンタクトホールとして、前記接続される位置において前記遮光膜に至るまで前記第 2 及び第 1 層間絶縁膜を開孔すると同時に、前記薄膜トランジスタと前記データ

線とを接続するためのコンタクトホールとして、前記薄膜トランジスタを構成する半導体層のソース又はドレイン領域に対向する位置において前記半導体層に至るまで前記第 2 及び第 1 層間絶縁膜を開孔する工程とを備えたことを特徴とする液晶装置の製造方法。

【請求項 1 9】 請求項 1 から 1 3 に記載の液晶装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は、薄膜トランジスタ（以下、TFTと称す）駆動によるアクティブマトリクス駆動方式の液晶装置及びその製造方法、並びにこれを用いた電子機器の技術分野に属する。

【0 0 0 2】

【従来の技術】従来、この種の液晶装置においては、一对の基板間で画素電極及び対向電極上に各々所定方向にラビング処理が施された一对の配向膜が設けられており、これらの配向膜間に液晶が所定の配向状態で挟持されている。そして、動作時には、この液晶に両電極から電界が印加され、液晶の配向状態は変化され、液晶装置の画面表示領域内で表示が行われる。

【0 0 0 3】従って、この種の液晶装置においては、データ線、走査線、容量線などの配線を形成した領域と、これらのデータ線等が形成されていない領域（特に画像表示用の入射光が通過する開口領域等）とのTFTアレイ基板上の合計層厚の差による凹凸を、仮にそのまま液晶に接する面（配向膜）にまで残したとすると、その凹凸の程度に応じて液晶に配向不良（ディスクリネーション）が発生して、各画素の画像の劣化につながる。より具体的には、各開口領域が窪んだ凹凸面上に形成された配向膜に対してラビング処理を施したのでは、この凹凸に応じて配向膜表面に配向規制力のばらつきが生じ、この凹凸部で、液晶の配向不良が発生してコントラストが変化してしまう。即ち、液晶の配向不良が起これば、例えば、液晶電圧非印加時において白表示となるノーマリーホワイトモードであれば、配向不良の箇所では白抜け現象が起これば、コントラストが低下すると共に精細度も低下してしまう。このような事態を避けるべく、配向膜間の距離（液晶の層厚）を均等且つ所定値に保ち、配向膜に対するラビング処理を基板の全面に渡って均等且つ適切に施すためには、画面表示領域内に位置する画素部を平坦化することは重要である。

【0 0 0 4】他方、この種の液晶装置においては、各画素電極に画像信号を供給する際のデューティ比が小さくても、フリッカやクロストークが発生しないようにするために、各画素電極に所定容量を付与する蓄積容量を設けたりする。

【0 0 0 5】ここで、この種の液晶装置においては、画素開口率を上げて画面を明るくするという要請もあるため、このような蓄積容量を増加させるために、隣接画素

の境界として対向基板に設けられる遮光層に対応する位置にある非透明なA1（アルミニウム）等からなるデータ線下やデータ線に沿った領域に、上述の如き蓄積容量が形成されたりする。より具体的には、例えば、データ線下の領域であれば、画素部におけるTFTを構成する半導体層からデータ線下に延設した半導体層を第1蓄積容量電極として形成し、ゲート絶縁膜と同じ膜からなる絶縁膜をこの第1蓄積容量電極上に形成し、更に走査線と同じ層の低抵抗ポリシリコン等からなり走査線に沿って配設される容量線をその絶縁膜上に延設して、第1蓄積容量電極と絶縁膜を介して対向する第2蓄積容量電極として形成する。或いは、走査線に沿った領域であれば、画素部におけるTFTを構成する半導体層から容量線下に延設した半導体層を第1蓄積容量電極として形成すると共に、ゲート絶縁膜と同じ膜からなる絶縁膜をこの第1蓄積容量電極上に形成する（この場合、第1蓄積容量電極と絶縁膜を介して対向する容量線の部分が第2蓄積容量電極として機能する）。

【0006】このような蓄積容量を十分にとることで高精細な画像表示が可能とされる。

【0007】

【発明が解決しようとする課題】しかしながら、前述のように蓄積容量をデータ線下の領域や走査線に沿った領域に作り込むと、この部分の層厚が増加して画素部に比較的大きな段差ができてしまう。例えば、データ線下の領域に蓄積容量を作り込むと、蓄積容量の厚み（第1蓄積容量電極、絶縁膜及び第2蓄積容量電極の合計の厚み）とデータ線の厚みだけ、これらが存在しない画素部よりも高くなることになり、その段差は約1000nmにもなる。このような段差があると、ラビング処理が、当該段差部分で適切に施されなくなる。この結果、データ線に沿って前述のような液晶の配向不良が起り、コントラストや精細度が低下したりする問題点が生じる。

【0008】逆に、このように蓄積容量を作り込んだことにより段差の増した表面を前述のように平坦化すると、製造効率やコストが悪化してしまう。特に、前述のようにデータ線下の領域に蓄積容量を形成した後に画素部の平坦化を行おうとすると、第1及び第2蓄積容量電極や容量形成用絶縁膜や該配線に付随して必要となる層間絶縁膜まで重ねたデータ線部分の合計層厚が増すため、平坦化工程に対する負担が増加して、製造効率やコストが非常に悪化してしまうという問題点がある。

【0009】本発明は上述した問題点に鑑みなされたものであり、蓄積容量が大きく且つ画質劣化につながるような液晶の配向不良が極力低減された液晶装置及びその製造方法並びに当該液晶装置を備えた電子機器を提供することを課題とする。

【0010】

【課題を解決するための手段】請求項1に記載の液晶装置は上記課題を解決するために、一对の基板間に液晶が

封入されてなり、該一对の基板の一方の基板上に複数のデータ線と、該複数のデータ線に交差する複数の走査線と、前記複数のデータ線及び走査線に各々接続された複数の薄膜トランジスタと、該複数の薄膜トランジスタに各々接続されて前記データ線より上方に配置された複数の画素電極と、該複数の薄膜トランジスタのドレイン又はソース領域を構成する半導体層と同一材料からなり少なくとも前記データ線下に各々延設された複数の第1蓄積容量電極部と、前記データ線下において前記複数の第1蓄積容量電極部と絶縁膜を介して各々対向配置された第2蓄積容量電極部を各々含む複数の容量線と、前記一方の基板と前記画素電極との間に配置された少なくとも1つの層間絶縁膜とを備えており、前記層間絶縁膜は、前記容量線のうち少なくとも前記データ線下にある前記第2蓄積容量電極部に対向する領域が凹状に窪んで形成されてなることを特徴とする。

【0011】請求項1に記載の液晶装置によれば、第1蓄積容量電極部は、薄膜トランジスタのドレイン又はソース領域を構成する半導体層と同一材料からなり、少なくともデータ線下に各々延設されている。第2蓄積容量電極部は、少なくともデータ線下において第1蓄積容量電極部と絶縁膜を介して各々対向配置されている。このように本発明によれば、入射光が透過しないため開口領域としては使用不可能なデータ線下のスペースは、画素電極に対し容量を付与するためのスペースとして有効に使用されている。

【0012】また、本発明によれば、層間絶縁膜は、容量線のうち少なくともデータ線下にある第2蓄積容量電極部に対向する領域が、他の領域と比べて凹状に窪んで形成されている。従って、データ線の上方に位置する画素電極面はこの窪みにより平坦化される。例えば、第1蓄積容量電極部、絶縁膜、第2蓄積容量電極部及びデータ線の合計層厚に等しい深さだけ凹状に窪めれば、画素電極面は、ほぼ完全に平坦化される。

【0013】以上のように従来は、段差によりラビング処理が適切に施せなかったことに起因して、或いは段差による基板間距離の狂いに直接起因して液晶の配向不良は、この開口領域のデータ線に沿った部分で最も起き易かったが、本発明によれば、この部分における配向不良を平坦化により低減できる。

【0014】請求項2に記載の液晶装置は上記課題を解決するために、一对の基板間に液晶が封入されてなり、該一对の基板の一方の基板上に複数のデータ線と、該複数のデータ線に交差する複数の走査線と、前記複数のデータ線及び走査線に各々接続された複数の薄膜トランジスタと、該複数の薄膜トランジスタに各々接続された複数の画素電極と、該複数の薄膜トランジスタのドレイン又はソース領域を構成する半導体層と同一材料からなり少なくとも前記データ線下に各々延設された複数の第1蓄積容量電極部と、前記データ線下において前記複数の

10

20

30

40

50

第 1 蓄積容量電極部と絶縁膜を介して各々対向配置された第 2 蓄積容量電極部を各々含む複数の容量線と、前記一方の基板及び前記第 1 蓄積容量電極部の間に配置されている第 1 層間絶縁膜と、前記第 2 蓄積容量電極部及び前記データ線の間に配置されている第 2 層間絶縁膜と、前記データ線及び前記画素電極の間に配置されている第 3 層間絶縁膜とを備えており、前記第 1、第 2 及び第 3 層間絶縁膜のうち少なくとも一つの絶縁膜は、前記容量線のうち少なくとも前記データ線下にある前記第 2 蓄積容量電極部に対向する領域が凹状に窪んで形成されたことを特徴とする。

【0015】請求項 2 に記載の液晶装置によれば、第 1 蓄積容量電極部は、薄膜トランジスタのドレイン又はソース領域を構成する半導体層と同一材料からなり、少なくともデータ線下に各々延設されている。第 2 蓄積容量電極部は、少なくともデータ線下において第 1 蓄積容量電極部と絶縁膜を介して各々対向配置されている。このように本発明によれば、入射光が透過しないため開口領域としては使用不可能なデータ線下のスペースは、画素電極に対し容量を付与するためのスペースとして有効に使用されている。

【0016】他方、第 1 層間絶縁膜は、一方の基板及び第 1 蓄積容量電極部の間に配置されており、第 2 層間絶縁膜は、第 2 蓄積容量電極部及び前記データ線の間に配置されており、第 3 層間絶縁膜は、データ線及び画素電極の間に配置されている。ここで一般に、データ線が配線される領域は、開口領域内に位置する画素部と比較すると、半導体層と同一材料からなる第 1 蓄積容量電極部、絶縁膜、走査線と同じポリシリコン層等からなる容量線の第 2 蓄積容量電極部、A1 膜等からなるデータ線が積層されている分だけ段差ができる。しかも、この段差は、液晶装置の構造上、開口領域内に位置する画素部と比較して最も大きい段差である。しかるに、本発明によれば、第 1、第 2 及び第 3 層間絶縁膜のうち少なくとも一つの絶縁膜は、容量線のうち少なくともデータ線下にある第 2 蓄積容量電極部に対向する領域が、他の領域と比べて凹状に窪んで形成されている。従って、データ線の上方に位置する第 3 層間絶縁膜の上面或いはこの上に形成される画素電極面は、この窪みに応じて平坦化される。例えば、第 1 蓄積容量電極部、容量形成用絶縁膜、第 2 蓄積容量電極部及びデータ線の合計層厚に等しい深さだけ凹状に窪めれば、第 3 層間絶縁膜の上面或いはこの上に形成される画素電極面は、ほぼ完全に平坦化される。

【0017】以上のように従来は、段差によりラビング処理が適切に施せなかったことに起因して、或いは段差による基板間距離の狂いに直接起因して液晶の配向不良は、この開口領域のデータ線に沿った部分で最も起き易かったが、本発明によれば、この部分における配向不良を平坦化により低減できる。

【0018】請求項 3 に記載の液晶装置は上記課題を解決するために請求項 2 に記載の液晶装置において、前記複数の第 1 蓄積容量電極部は更に、前記複数の走査線と平行に各々延設されており、前記複数の第 2 蓄積容量電極部は更に、前記走査線と平行に延設された前記第 1 蓄積容量電極部と前記容量形成用絶縁膜を介して対向配置されており、前記少なくとも一つの絶縁膜は更に、前記容量線のうち前記走査線と平行な前記第 2 蓄積容量電極部に対向する領域が凹状に窪んで形成されたことを特徴とする。

【0019】請求項 3 に記載の液晶装置によれば、第 1 蓄積容量電極部と第 2 蓄積容量電極部とは、走査線と平行な領域において、容量形成用絶縁膜を介して対向配置されている。このように本発明によれば、データ線下だけでなく、走査線と平行な領域も、画素電極に対し容量を付与するためのスペースとして有効に使用されている。ここで一般に、走査線と平行に容量線が配線される領域は、開口領域内に位置する画素部と比較すると、第 1 蓄積容量電極部、容量形成用絶縁膜及び第 2 蓄積容量電極部が積層されている分だけ段差ができる。しかるに、本発明によれば、第 1、第 2 及び第 3 層間絶縁膜のうち少なくとも一つの絶縁膜は、容量線のうち少なくとも走査線と平行な第 2 蓄積容量電極部に対向する領域が、凹状に窪んで形成されている。従って、この容量線の上方に位置する第 3 層間絶縁膜の上面或いはこの上に形成される画素電極面は、この窪みに応じて平坦化される。例えば、第 1 蓄積容量電極部、容量形成用絶縁膜及び第 2 蓄積容量電極部の合計層厚に等しい深さだけ凹状に窪めれば、第 3 層間絶縁膜の上面或いはこの上に形成される画素電極面は、ほぼ完全に平坦化される。

【0020】請求項 4 に記載の液晶装置は上記課題を解決するために請求項 3 に記載の液晶装置において、前記画素電極上に配置されており、隣接して並べられた一対の走査線及び容量線に対して前記走査線の側から前記容量線の側に向う前記データ線に沿った方向でラビング処理された配向膜と、前記一対の走査線及び容量線を前記走査線に沿った一本の帯部でまとめて覆う遮光層とを更に備えたことを特徴とする。

【0021】請求項 4 に記載の液晶装置によれば、TF-T アレイ基板において配向膜は、画素電極上に配置されており、隣接して並べられた一対の走査線及び容量線に対して走査線の側から容量線の側に向うデータ線に沿った方向でラビング処理されている。ここで一般に、ラビング方向に面が高くなる段差に対してはラビング処理は比較的良好に行われ、ラビング方向に面が低くなる段差に対してはラビング処理は良好に行うことが困難であることが本発明者による研究の結果判明している。そこで、本発明のように、平坦化を施していない走査線の側から平坦化を施した容量線の側に向けた方向でラビング処理を行うようにすれば、ラビング方向の上流に位置す

る画素側の走査線の一方の縁における段差は、ラビング方向に面が高くなる段差となるのでラビング処理が良好に行われる。他方、容量線に隣接する側の走査線の他方の縁における段差は、ラビング方向に面が低くなる段差となるのでラビング処理が良好に行われない。しかしながら、この部分とラビング方向の下流に位置する画素との間には容量線の上に位置する平坦化された面があると共に、遮光層の一本の帯部により、まとめて覆われているので開口領域から遠く離れている。このため、走査線の他方の縁に対応してラビング処理が良好に行われなくても、これによる液晶の配向不良が画像に影響することは殆ど又は全く無い。仮に、ラビング処理の方向を反対にしてしまうと、ラビング方向に面が低くなる段差が、容量線から遠い方の走査線の縁に現われてしまい、これによる液晶の配向不良が画像に影響を及ぼしてしまうか或いは、このような部分を更に遮光層で覆うことにより開口領域を狭めねばならない。

【0022】更に、TFTアレイ基板のラビング方向をデータ線に沿うようにした場合、直流駆動により液晶を劣化させないため及び表示画像のフリッカを防止するために走査線毎に液晶を駆動する電圧極性を反転させる走査線反転駆動方式（1H反転駆動方式）が一般化しつつあるが、この走査線反転駆動方式によれば、データ線の方向の段差である、走査線付近における画素部の段差により液晶の配向不良（ディスクリネーション）が起き易いことが、本発明者による研究の結果判明している。そこで、本発明のように、データ線の方向の段差が、一対の走査線及び容量線の縁ではなく、該一対の走査線と容量線との間にくるように構成すれば、上述の走査線反転駆動方式を採用した際に、液晶の配向不良が画素境界領域の中央付近で起きるように、即ち、各画素開口領域から離れた領域で起きるように出来る。この結果、本発明は、走査線反転駆動方式を用いる際には高コントラスト化と高精細化を図る上で、大変有利である。

【0023】請求項5に記載の液晶装置は上記課題を解決するために請求項2から4のいずれかに記載の液晶装置において、前記少なくとも一つの絶縁膜は、単層から構成されていることを特徴とする。

【0024】請求項5に記載の液晶装置によれば、凹状に窪んで形成される絶縁膜を単層から構成すればよいので、従来の場合と比較しても層の数を増加させる必要が無く、凹状に窪んだ部分とそうでない部分との膜厚を制御すれば、当該凹状に窪んで形成された絶縁膜が得られる。

【0025】請求項6に記載の液晶装置は上記課題を解決するために請求項2から4に記載の液晶装置において、前記少なくとも一つの絶縁膜は、単層部分と多層部分とから構成されており、前記単層部分が前記凹状に窪んだ部分とされており、前記多層部分が前記凹状に窪んでいない部分とされていることを特徴とする。

【0026】請求項6に記載の液晶装置によれば、単層部分が凹状に窪んだ部分とされているので、凹状に窪んだ部分における当該窪みが形成された絶縁膜の膜厚を、単層部分の膜厚として、比較的容易にして確実に高精度に制御できる。従って、この凹状に窪んだ部分における当該窪みが形成された絶縁膜の膜厚を非常に薄くすることも可能となる。

【0027】請求項7に記載の液晶装置は上記課題を解決するために請求項2から6のいずれか一項に記載の液晶装置において、前記第1及び第2層間絶縁膜は、酸化シリコン膜又は窒化シリコン膜から構成されていることを特徴とする。

【0028】請求項7に記載の液晶装置によれば、酸化シリコン膜又は窒化シリコン膜からなる第1及び第2層間絶縁膜により、一方の基板、第1蓄積容量電極部、第2蓄積容量電極部、データ線等を構成する各層を相互に電氣的絶縁できると共に一方の基板等からTFTへの汚染を防止できる。しかも、このように構成された第1層間絶縁膜は、TFTの下地膜に適している。

【0029】請求項8に記載の液晶装置は上記課題を解決するために請求項2から7のいずれか一項に記載の液晶装置において、前記第1層間絶縁膜を前記一方の基板が兼ねており、前記第2及び第3層間絶縁膜のうち少なくとも一方は、前記容量線のうち少なくとも前記データ線下にある前記第2蓄積容量電極部に対向する領域が凹状に窪んで形成されたことを特徴とする。

【0030】請求項8に記載の液晶装置によれば、一方の基板が第1層間絶縁膜を兼ねている。即ち、一方の基板がTFTの下地膜としても機能し、第1層間絶縁膜は省略される。しかるに、本発明によれば、第2及び第3層間絶縁膜のうち少なくとも一方は、容量線のうち少なくともデータ線下にある第2蓄積容量電極部に対向する領域が凹状に窪んで形成されているので、上述の本発明と同様に第3層間絶縁膜の上面や画素電極面の平坦化が図られる。

【0031】請求項9に記載の液晶装置は上記課題を解決するために請求項2から7のいずれか一項に記載の液晶装置において、前記基板と前記第1層間絶縁膜との間において、前記複数の薄膜トランジスタの少なくともチャネル形成用領域を前記一方の基板の側から見て各々重なる位置に設けられた遮光膜を更に備えたことを特徴とする。

【0032】請求項9に記載の液晶装置によれば、遮光膜は、複数のTFTの少なくともチャネル形成用領域を一方の基板の側から見て各々重なる位置において一方の基板に設けられている。従って、一方の基板の側からの戻り光等が当該チャネル形成用領域に入射する事態を未然に防ぐことができ、光電流の発生によりTFTの特性が劣化することはない。そして、遮光膜は、一方の基板と第1層間絶縁膜との間に設けられている。従って、遮



光膜から T F T 等を電氣的絶縁し得ると共に遮光膜が T F T 等を汚染する事態を未然に防げる。

【 0 0 3 3 】請求項 1 0 に記載の液晶装置は上記課題を解決するために請求項 9 に記載の液晶装置において、前記遮光膜は、前記第 1 蓄積容量電極部の前記データ線下の部分及び前記走査線と平行な部分のうち少なくとも一方と前記第 1 層間絶縁膜を介して対向する位置に設けられた第 3 蓄積容量電極部を含んでおり、前記第 1 層間絶縁膜は、前記第 3 蓄積容量電極部と前記第 1 蓄積容量電極部との間の領域が前記凹状に窪んで形成されたことを特徴とする。

【 0 0 3 4 】請求項 1 0 に記載の液晶装置によれば、遮光膜は、第 1 蓄積容量電極部のデータ線下の部分及び走査線と平行な部分のうち少なくとも一方と第 1 層間絶縁膜を介して対向する位置に設けられた第 3 蓄積容量電極部を含んでいる。従って、容量形成用絶縁膜を介して対向配置された第 1 蓄積容量電極部と第 2 蓄積容量電極部とで形成される容量に加えて、第 1 層間絶縁膜を介して対向配置された第 1 蓄積容量電極部と第 3 蓄積容量電極部とで形成される容量も、蓄積容量として画素電極に付与される。ここで一般に、容量形成用に間に介在する絶縁膜の膜厚が厚いほど形成される容量は小さく、薄いほど形成される容量は大きくなる。しかるに、本発明によれば、第 1 層間絶縁膜は、第 3 蓄積容量電極部と第 1 蓄積容量電極部との間の領域が凹状に窪んで形成されているため、容量形成用に間に介在する絶縁膜の膜厚を凹状の窪みの深さに応じて薄くすることが出来る。この結果、第 1 及び第 3 蓄積容量電極部の表面積を増やすことなく容量を効率的に増やすことが出来る。

【 0 0 3 5 】請求項 1 1 に記載の液晶装置は上記課題を解決するために請求項 9 又は 1 0 に記載の液晶装置において、前記遮光膜は、T i (チタン)、C r (クロム)、W (タングステン)、T a (タンタル)、M o (モリブデン) 及び P d (鉛) のうちの少なくとも一つを含むことを特徴とする。

【 0 0 3 6 】請求項 1 1 に記載の液晶装置によれば、遮光膜は、不透明な高融点金属である T i、C r、W、T a、M o 及び P d のうちの少なくとも一つを含む、例えば、金属単体、合金、金属シリサイド等から構成されるため、T F T アレイ基板上の遮光膜形成工程の後に行われる T F T 形成工程における高温処理により、遮光膜が破壊されたり溶融しないようにできる。

【 0 0 3 7 】請求項 1 2 に記載の液晶装置は上記課題を解決するために請求項 9 から 1 1 のいずれか一項に記載の液晶装置において、前記遮光膜は、定電位源に接続されていることを特徴とする。

【 0 0 3 8 】請求項 1 2 に記載の液晶装置によれば、遮光膜は定電位源に接続されているので、遮光膜は定電位とされる。従って、遮光膜に対向配置される T F T に対し遮光膜の電位変動が悪影響を及ぼすことはない。

【 0 0 3 9 】請求項 1 3 に記載の液晶装置は上記課題を解決するために請求項 1 2 に記載の液晶装置において、前記第 1 層間絶縁膜は、前記遮光膜と前記定電位源とが接続される位置において、前記凹状に窪んで形成されると共に開孔されたことを特徴とする。

【 0 0 4 0 】請求項 1 3 に記載の液晶装置によれば、第 1 層間絶縁膜は、遮光膜と定電位源とが接続される位置において凹状に窪んで形成されているので、その製造プロセスにおいて、当該第 1 層間絶縁膜形成後に、この凹状に窪んだ部分の深さに応じて、この位置を開孔する工程が容易となる。

【 0 0 4 1 】請求項 1 4 に記載の液晶装置の製造方法は上記課題を解決するために請求項 5 に記載の液晶装置の製造方法であって、前記単層を構成すべき絶縁膜を堆積する工程と、該堆積された絶縁膜に前記凹状に窪んだ部分に対応するレジストパターンをフォトリソグラフィで形成する工程と、該レジストパターンを介して所定時間のエッチングを行い前記凹状に窪んだ部分を形成するエッチング工程とを備えたことを特徴とする。

【 0 0 4 2 】請求項 1 4 に記載の液晶装置の製造方法によれば、先ず、一方の基板上で前記単層を構成すべき絶縁膜が、画面表示領域の全域に堆積される。次に、該堆積された絶縁膜に凹状に窪んだ部分に対応するレジストパターンが、フォトリソグラフィで形成され、その後、エッチングが、このレジストパターンを介して所定時間だけ行われて、凹状に窪んだ部分が形成される。従って、エッチングの時間管理により、凹状に窪んだ部分の深さや膜厚を制御できる。このエッチング工程において、例えばドライエッチングを用いる場合には、ほぼ露光寸法通りに開孔できる。

【 0 0 4 3 】請求項 1 5 に記載の液晶装置の製造方法は上記課題を解決するために請求項 6 に記載の液晶装置の製造方法であって、前記多層部分を構成すべき第 1 絶縁膜を堆積する工程と、該堆積された第 1 絶縁膜に前記凹状に窪んだ部分に対応するレジストパターンをフォトリソグラフィで形成する工程と、該レジストパターンを介してエッチングを行い前記凹状に窪んだ部分に対応する前記第 1 絶縁膜を除去するエッチング工程と、前記単層部分及び多層部分を構成すべき第 2 絶縁膜を前記第 1 絶縁膜及び前記第 1 絶縁膜を除去した領域上に堆積する工程とを備えたことを特徴とする。

【 0 0 4 4 】請求項 1 5 に記載の液晶装置の製造方法によれば、先ず、一方の基板上で多層部分を構成すべき第 1 絶縁膜が画面表示領域の全域に堆積される。次に、この堆積された第 1 絶縁膜に、凹状に窪んだ部分に対応するレジストパターンが、フォトリソグラフィで形成され、その後、エッチングが、このレジストパターンを介して行われて、凹状に窪んだ部分に対応する第 1 絶縁膜が除去される。その後、単層部分及び多層部分を構成すべき第 2 絶縁膜が、第 1 絶縁膜及び第 1 絶縁膜を除去し



た領域上に堆積される。この結果、凹状に窪んだ部分における第 1 層間絶縁膜の膜厚を、第 2 絶縁膜の膜厚の管理により、比較的容易にして確実に且つ高精度に制御できる。このエッチング工程において、例えばドライエッチングを用いる場合には、ほぼ露光寸法通りに開孔できる。

【0045】請求項 16 に記載の液晶装置の製造方法は上記課題を解決するために請求項 14 又は 15 に記載の液晶装置の製造方法であって、前記エッチング工程は、少なくとも前記凹状に窪んだ部分の側壁をテーパ状に形成するウェットエッチング工程を含むことを特徴とする。

【0046】請求項 16 に記載の液晶装置の製造方法によれば、ウェットエッチング工程により、凹状に窪んだ部分の側壁は、テーパ状に形成される。このように凹状に窪んだ部分の側壁をテーパ状に形成しておけば、凹状に窪んだ部分内に後工程で形成される、例えば、ポリシリコン膜等が残ることがない。このため、この部分を確実に平坦化できる。また、ドライエッチングとウェットエッチングとを組み合わせてもよいことは言うまでもない。

【0047】請求項 17 に記載の液晶装置の製造方法は上記課題を解決するために請求項 14 から 16 のいずれか一項に記載の液晶装置の製造方法であって、前記走査線及び容量線を一對にして相隣接する前記画素電極間に並べるように前記第 1 層間絶縁膜上に形成する工程と、前記画素電極上及び前記画素電極が形成されていない前記第 3 層間絶縁膜の部分上に配向膜を形成する工程と、該配向膜を、前記一對の走査線及び容量線に対して前記走査線の側から前記容量線の側に向う前記データ線に沿った方向でラビング処理する工程とを備えたことを特徴とする。

【0048】請求項 17 に記載の液晶装置の製造方法によれば、一對の走査線及び容量線は相隣接する画素電極間に並ぶように、走査線及び容量線は第 1 層間絶縁膜上に形成される。次に、画素電極上及び画素電極が形成されていない第 3 層間絶縁膜の部分上に、配向膜を形成される。そして次に、該配向膜は、一對の走査線及び容量線に対して走査線の側から容量線の側に向うデータ線に沿った方向で、ラビング処理される。従って前述のように、ラビング方向の上流に位置する走査線のラビング処理が良好に行われず縁は開口領域から離れているので、この縁付近における液晶の配向不良が画像に影響することは殆ど又は全く無い。特に前述のように走査線反転駆動方式を用いる際には高コントラスト化と高精細化を図る上で、大変有利である。

【0049】請求項 18 に記載の液晶装置の製造方法は上記課題を解決するために請求項 13 に記載の液晶装置の製造方法であって、前記一方の基板上の所定領域に前記遮光膜を形成する工程と、前記接続される位置に対応

する部分が前記凹状に窪むように前記一方の基板及び遮光膜上に前記第 1 層間絶縁膜を形成する工程と、前記第 1 層間絶縁膜上に前記 T F T を形成する工程と、前記 T F T 及び第 1 層間絶縁膜上に第 2 層間絶縁膜を形成する工程と、前記遮光膜と前記定電位源からの配線とを接続するためのコンタクトホールとして、前記接続される位置において前記遮光膜に至るまで前記第 2 及び第 1 層間絶縁膜を開孔すると同時に、前記 T F T と前記データ線とを接続するためのコンタクトホールとして、前記 T F T を構成する半導体層のソース又はドレイン領域に対向する位置において前記半導体層に至るまで前記第 2 層間絶縁膜を開孔する工程とを備えたことを特徴とする。

【0050】請求項 18 に記載の液晶装置の製造方法によれば、一方の基板上の所定領域に遮光膜が形成され、遮光膜と定電位源とが接続される位置に対応する部分が凹状に窪むように一方の基板及びこの遮光膜上に第 1 層間絶縁膜が形成される。その後、T F T が第 1 層間絶縁膜上に形成され、更に T F T 及び第 1 層間絶縁膜上に第 2 層間絶縁膜が形成される。この第 2 層間絶縁膜は、T F T、データ線、走査線、容量線等の電気絶縁用に設けられるものである。ここで、遮光膜と定電位源からの配線とを接続するためのコンタクトホールとして、遮光膜に至るまで第 2 及び第 1 層間絶縁膜が開孔され、同時に、T F T とデータ線とを接続するためのコンタクトホールとして、半導体層に至るまで第 2 層間絶縁膜が開孔される。従って、これら 2 種類のコンタクトホールを一括して開孔できる。

【0051】請求項 19 に記載の電子機器は上記課題を解決するために請求項 1 から 13 に記載の液晶装置を備えたことを特徴とする。

【0052】請求項 19 に記載の電子機器によれば、電子機器は、上述した本願発明の液晶装置を備えており、平坦化された画素電極により液晶の配向不良の少ない液晶装置により高品位の画像表示が可能となる。

【0053】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにする。

【0054】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

【0055】（液晶装置の第 1 の実施の形態）本発明による液晶装置の第 1 の実施の形態の構成及び動作について図 1 から図 8 に基づいて説明する。図 1 は、データ線、走査線、画素電極、遮光膜等が形成された T F T アレイ基板の開口領域内の画素部の平面図である。図 2 は、遮光膜と定電位線との接続部分の平面図である。図 3 は、図 1 の A - A' 断面を対向基板等と共に示す液晶装置の断面図である。図 4 は、図 1 の B - B' 断面図であり、図 5 は、図 1 の C - C' 断面図である。また図 6 は、図 2 の D - D' 断面図である。尚、図 3 から図 6 においては、各層や各部材を図面上で認識可能な程度の大

きさとするため、各層や各部材毎に縮尺を異ならしめている。

【0056】図1において、液晶装置のTFTアレ基板には、マトリクス状に複数の透明な画素電極9a（点線部9a'により輪郭が示されている）が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a（ソース電極）、走査線3a（ゲート電極）及び容量線3bが設けられている。データ線6aは、コンタクトホール5aを介してポリシリコン膜からなる半導体層1aのうち後述のソース領域に電氣的接続されており、画素電極9aは、コンタクトホール8を介して半導体層1aのうち後述のドレイン領域に電氣的接続されている。また、半導体層1aのうち後述のチャネル形成領域1a'（図中右下りの斜線の領域）に対向するように走査線3a（ゲート電極）が配置されている。そして、図中右上がりの斜線で示した領域に画素部における遮光膜11aが設けられている。即ち遮光膜11aは、画素部において、半導体層1aのチャネル形成領域1a'を含むTFT、データ線6a、走査線3a及び容量線3bをTFTアレ基板の側から見て各々重なる位置に設けられている。

【0057】図1において特に、データ線6a下に形成された容量線3bを含む太線で囲まれた領域においては、後述の第1層間絶縁膜が凹状に窪んで形成されており、それ以外の画素電極9a及び走査線3aにはほぼ対応する領域においては、当該第1層間絶縁膜が相対的に凸状に（平面状に）形成されている。また、TFTアレ基板10のラビング方向を図1の矢印の方向で行うようにすれば、本実施の形態は特に効果を発揮する。

【0058】従って、従来は、データ線が形成される最も配向膜の形成面が高くなる段差により、ラビング処理が適切に施せなかったことに起因して、或いはこのような段差による基板間距離の狂いに直接起因して液晶の配向不良は、この開口領域のデータ線に沿った部分で最も起き易かったが、本実施の形態によれば、この部分における配向不良を平坦化により低減できる。

【0059】図2において液晶装置のTFTアレ基板には、データ線6aと同じA1等の導電層から形成された定電位線6bが設けられており、コンタクトホール5bを介して非画素部における遮光膜（遮光配線）11bと接続されている。図2において特に、コンタクトホール5bを含む太線で囲まれた領域5Cにおいては、後述の第1層間絶縁膜が凹状に窪んで形成されており、それ以外の領域においては、当該第1層間絶縁膜が相対的に凸状に（平面状に）形成されている。

【0060】図3から図6に示すように、液晶装置100は、透明な一方の基板の一例を構成するTFTアレ基板10と、これに対向配置される透明な他方の基板の一例を構成する対向基板20とを備えている。TFTアレ基板10は、例えば石英基板からなり、対向基板20

0は、例えばガラス基板や石英基板からなる。TFTアレ基板10には、画素電極9aが設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜19が設けられている。画素電極9aは例えば、ITO膜（インジウム・ティン・オキサイド膜）などの透明導電性薄膜からなる。また配向膜19は例えば、ポリイミド薄膜などの有機薄膜からなる。

【0061】他方、対向基板20には、その全面に渡って対向電極（共通電極）21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。対向電極21は例えば、ITO膜などの透明導電性薄膜からなる。また配向膜22は、ポリイミド薄膜などの有機薄膜からなる。

【0062】TFTアレ基板10には、図3に示すように、各画素電極9aに隣接する位置に、各画素電極9aをスイッチング制御する画素スイッチング用TFT30が設けられている。

【0063】対向基板20には、更に図3に示すように、各画素の開口領域以外の領域に遮光層23が設けられている。このため、対向基板20の側から入射光が画素スイッチング用TFT30の半導体層1aのチャネル形成領域1a'やLDD（Lightly Doped Drain）領域1b及び1cに侵入することはない。更に、遮光層23は、コントラストの向上、色材の混色防止などの機能を有する。

【0064】このように構成され、画素電極9aと対向電極21とが対面するように配置されたTFTアレ基板10と対向基板20との間には、後述のシール材52（図13及び図14参照）により囲まれた空間に液晶が封入され、液晶層50が形成される。液晶層50は、画素電極9aからの電界が印加されていない状態で配向膜19及び22により所定の配向状態を採る。液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材52は、二つの基板10及び20をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのガラスファイバー或いはガラスビーズ等のスペーサが混入されている。

【0065】図3に示すように、画素スイッチング用TFT30に各々対向する位置においてTFTアレ基板10と各画素スイッチング用TFT30との間には、遮光膜11aが各々設けられている。遮光膜11aは、好ましくは不透明な高融点金属であるTi、Cr、W、Ta、Mo及びPdのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成される。このような材料から構成すれば、TFTアレ基板10上の遮光膜11aの形成工程の後に行われる画素スイッチング用TFT30の形成工程における高温処理により、遮光膜11aが破壊されたり溶融しないようにできる。遮光膜11aが形成されているので、TFTアレ基板10

の側からの戻り光等が画素スイッチング用 T F T 3 0 のチャンネル形成用領域 1 a' や L D D 領域 1 b、1 c に入射する事態を未然に防ぐことができ、光電流の発生により画素スイッチング用 T F T 3 0 の特性が劣化することはない。

【0066】更に、遮光膜 1 1 a と複数の画素スイッチング用 T F T 3 0 との間には、単層又は多層からなる第 1 層間絶縁膜 1 2' が設けられている。第 1 層間絶縁膜 1 2' は、画素スイッチング用 T F T 3 0 を構成する半導体層 1 a を遮光膜 1 1 a から電氣的絶縁するために設けられるものである。更に、第 1 層間絶縁膜 1 2' は、T F T アレイ基板 1 0 の全面に形成されることにより、画素スイッチング用 T F T 3 0 のための下地膜としての機能をも有する。即ち、T F T アレイ基板 1 0 の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用 T F T 3 0 の特性の劣化を防止する機能を有する。

【0067】ここで特に図 4 及び図 5 に示すように、第 1 層間絶縁膜 1 2' は、T F T アレイ基板 1 0 上の容量線 3 b が形成されている領域が、他の領域と比べて凹状に窪んで形成されている。後述のように、第 1 層間絶縁膜 1 2' は、単層部分と 2 層部分とから構成しても良いし、単層のみから構成してもよい。

【0068】このような第 1 層間絶縁膜 1 2' は、例えば、N S G (ノンドープシリケートガラス)、P S G (リンシリケートガラス)、B S G (ボロンシリケートガラス)、B P S G (ボロンリンシリケートガラス) などの高絶縁性ガラス又は、酸化シリコン膜、窒化シリコン膜等からなる。

【0069】以上の如く構成された第 1 層間絶縁膜 1 2' により、遮光膜 1 1 a から画素スイッチング用 T F T 3 0 等を電氣的絶縁し得ると共に遮光膜 1 1 a が画素スイッチング用 T F T 3 0 等を汚染する事態を未然に防げる。ここで特に、第 1 層間絶縁膜 1 2' は、データ線 6 a 下に容量線 (第 2 蓄積容量電極) 3 b が形成された領域において凹状に窪んで形成されると共に (図 4 参照)、走査線 3 a に沿って容量線 3 b が形成された領域において凹状に窪んで形成される (図 5 参照) ので、従来のように第 1 層間絶縁膜を平らに形成してその上に容量線 3 b を形成する場合と比較すると、凹状に窪んだ部分の深さに応じて、この容量線 3 b が形成された領域と形成されていない領域との合計層厚の差が減少し、画素部における平坦化が促進される。

【0070】例えば、図 4 において、第 1 層間絶縁膜 1 2' 上の遮光膜 (第 3 蓄積容量電極) 1 1 a、半導体層 1 a のドレイン領域 1 e から延設された第 1 蓄積容量電極 1 f、容量形成用絶縁膜 (ゲート絶縁膜) 2、容量線 3 b 及びデータ線 6 a の合計層厚に等しくなるように凹状に窪んだ部分の深さを設定すれば、第 3 層間絶縁膜 7 の上面は、平坦となるので、その後の平坦化処理を省略

できる。或いは、多少なりとも凹状に窪めれば、その後の平坦化処理の負担を軽減できる。同様に、図 5 において、第 1 層間絶縁膜 1 2' 上の遮光膜 1 1 a、半導体層 1 a のドレイン領域 1 e から延設された第 1 蓄積容量電極 1 f、容量形成用絶縁膜 2、容量線 3 b 及びデータ線 6 a の合計層厚に等しくなるように凹状に窪んだ部分の深さを設定すれば、第 3 層間絶縁膜 7 の上面は、ほぼ平坦となる (データ線 6 a の分だけ画素部よりも低くなる)。但し、図 4 及び図 5 において、第 1 層間絶縁膜 1 2' は、遮光膜 1 1 a、第 1 蓄積容量電極 1 f、容量形成用絶縁膜 2 及び容量線 3 b の合計層厚に対応した深さで凹状に窪んで形成されてもよい。このように第 1 層間絶縁膜 1 2' を構成すれば、図 5 において、第 3 層間絶縁膜 7 の上面は、平坦となり、図 4 において、ほぼ平坦となる (データ線 6 a の分だけ画素部よりも高くなる)。

【0071】また、本実施の形態では特に図 5 に示すように、T F T アレイ基板 1 0 上に形成された画素電極 9 a 上の配向膜に対するラビング方向は、隣接して並べられた一対の走査線 3 a 及び容量線 3 b に対して走査線 3 a の側から容量線 3 b の側に向うデータ線 6 a に沿った方向とされている。ここで一般に回転ラビング法を用いる場合、ラビング方向に面が高くなる段差に対してはラビング処理は比較的良好に行われ、ラビング方向に面が低くなる段差に対してはラビング処理は良好に行うことが困難であることが本発明者による研究の結果判明している。そこで、本実施の形態のように、平坦化を施していない走査線 3 a の側から平坦化を施した容量線 3 b の側に向けた方向でラビング処理を行うようにすれば、ラビング方向の上流に位置する画素側の走査線 3 a の一方の縁における段差 S 1 は、ラビング方向に面が高くなる段差となるので配向規制力が強くラビング処理が良好に行われる。他方、容量線 3 b に隣接する側の走査線 3 a の他方の縁における段差 S 2 は、ラビング方向に面が低くなる段差となるので配向規制力が弱くラビング処理が良好に行われない。しかしながら、この段差 S 2 とラビング方向の下流に位置する画素との間には容量線 3 b の上方に位置する平坦化された面 (小さい段差 S 3) があると共に、遮光層 2 3 の一本の帯部により、これら一対の走査線 3 a 及び容量線 3 b は、まとめて覆われているので、段差 S 2 は、開口領域から遠く離れている。このため、段差 S 2 においてラビング処理が良好に行われなくても、これによる液晶の配向不良が画像に影響することは殆ど又は全く無い。仮に、ラビング処理の方向を反対にしてみると、ラビング方向に面が低くなる段差 S 1 による液晶の配向不良が画像に影響を及ぼしてしまうか或いは、このような部分を更に遮光層 2 3 で覆うことにより開口領域を狭めねばならない。従って、そのような場合は、図 5 において、容量線 3 b を走査線 3 a に対して反対側に設けるようにすればよい。

【0072】更に、このようにラビング処理を施すので、本実施の形態は、特にデータ線に沿ってラビングする場合には、直流駆動により液晶の劣化を生じさせないため及び表示画像のフリッカを防止するために走査線毎に液晶の両端に印加する電圧の極性を反転させる走査線反転駆動方式（1H反転駆動方式）を用いると有利である。即ち、一般に液晶の配向不良（ディスクリネーション）は、データ線の方向の段差である、走査線付近における画素部の段差により起き易い。

【0073】ここで、このような液晶の配向不良の一例として、TN液晶における横電界の影響によるディスクリネーションを各種駆動方式について図7を参照して説明する。図7は、上から順にDOT（画素）反転駆動方式、1H（行）反転駆動方式、1S（列）反転駆動方式及び1V（フレーム）反転駆動方式について、3本の走査線及び3本のデータ線に囲まれた4つの画素開口領域におけるディスクリネーションの様子を示しており、特に左列は左回りのTN液晶について右列は右回りのTN液晶についてのディスクリネーションの様子を対向基板側から見た液晶装置の表示で示している。尚、図7では、横電界によりディスクリネーションが発生する領域が左下がりの斜線部で示されており、これに加えて、データ線の段差により配向不良が発生する領域が右下がりの斜線部で示されている。また、この例では、TFTRレイ基板の配向膜に対するラビング方向が図中下から上への方向であるとする。

【0074】図7に示すように、左回り右回りを問わずに、データ線の左右に沿った細い領域において、データ線の段差による液晶の配向不良が発生している。そして、DOT反転駆動方式の場合には（図中、最上段参照）、左回り液晶では各走査線の上側及び各データ線の右側で横電界によるディスクリネーションが発生しており、右回り液晶では各走査線の上側及び各データ線の左側で横電界によるディスクリネーションが発生している。他方、1S反転駆動方式（液晶の両端に印加する電圧の極性をデータ線単位で反転する方式）の場合には（図中、上から3段目参照）、左回り液晶では各データ線の右側で横電界によるディスクリネーションが僅かに発生しており、右回り液晶では各データ線の左側で横電界によるディスクリネーションが僅かに発生している。そして、1V反転駆動方式（液晶の両端に印加する電圧の極性をフレームまたは垂直走査期間毎に反転する方式）の場合には（図中、最下段参照）、横電界によるディスクリネーションは走査線の下上において殆ど発生していない。

【0075】これに対して1H反転駆動方式の場合には（図中、上から2段目参照）、右回り左回りを問わずに、各走査線の上側で横電界によるディスクリネーションが発生している。従って、図7に示したように、TFTRレイ基板の配向膜のラビング方向を下から上の方

向にして、横電界によるディスクリネーションが発生する走査線の上側の領域に容量線を並べて設けると共に走査線の段差がこれら容量線と走査線との間に位置するように構成すれば、横電界によるディスクリネーションは、この容量線と走査線との間において主に発生することとなり、その画素開口領域に対する悪影響が低減されることになる。更に図7から、データ線部分を平坦化することにより、どの反転駆動方式においてもデータ線に沿って現われる液晶の配向不良を低減できることが分かる。

【0076】そこで、本実施の形態では、データ線6aの方向の段差が、一対の走査線3a及び容量線3bの縁ではなく、該一対の走査線3aと容量線3bとの間にできるように構成されている。従って、走査線反転駆動方式（1H反転駆動方式）を採用した際に、液晶の配向不良が、遮光層23で覆われた画素境界領域の中央付近で、即ち各画素開口領域から離れた領域で起きることになる。この結果、本実施の形態によれば、走査線反転駆動方式を用いた際に、電圧極性反転に伴って起きる走査線3aに沿った液晶の配向不良が表示画像に及ぼす影響を低減でき、高コントラスト化と高精細化を図れる。

【0077】以上のように、遮光膜11aを設けることにより必要となる第1層間絶縁膜12'の所定領域が凹状に窪んで形成されているので、本実施の形態によれば、前述した従来の、平坦化膜のスピンコート等による塗布による平坦化された絶縁膜の形成等の工程を、省略又は簡略化できる。

【0078】本実施の形態では図1及び図4に示すように、半導体層1aの高濃度ドレイン領域1eは、データ線6aに沿って延設されて第1蓄積容量電極（半導体層）1fとされている。従って先ず、この第1蓄積容量電極（半導体層）1fと容量線（第2蓄積容量電極）3bとの間で、容量形成用絶縁膜2を介して蓄積容量が形成される。これに加えて、遮光膜11aは、このデータ線6a下に延設された第1蓄積容量電極（半導体層）1fの下にも設けられているので、これら第1蓄積容量電極（半導体層）1fと遮光膜11aの間でも、第1層間絶縁膜12'を介して容量が形成される。

【0079】他方で、図1及び図5に示すように、半導体層1aの高濃度ドレイン領域1eは、走査線3aに平行に延設されて第1蓄積容量電極（半導体層）1fとされている。従って先ず、この第1蓄積容量電極（半導体層）1fと容量線（第2蓄積容量電極）3bとの間で、容量形成用絶縁膜2を介して蓄積容量が形成される。これに加えて、遮光膜11aは、この第1蓄積容量電極（半導体層）1fの下にも設けられているので、これら第1蓄積容量電極（半導体層）1fと遮光膜（第3蓄積容量電極）11aとの間で、第1層間絶縁膜12'を介して容量が形成される。

【0080】これらの結果、データ線6a下の領域及び

データ線に平行な領域という開口領域を外れたスペースを有効に利用して、画素電極 9 a の蓄積容量を増やすことが出来る。

【0081】そして本実施の形態では図 1、図 4 及び図 5 に示すように、第 1 層間絶縁膜 1 2' は、これらの容量が作り込まれる領域において凹状に窪んで形成されているので平坦化が図られており、更に、この容量形成用絶縁膜としての第 1 層間絶縁膜 1 2' の凹状に窪んだ領域における層厚は非常に薄く（例えば、1000~5000 Å 程度に）構成されているので、容量線 3 b の表面積を増やすことなく、当該第 1 層間絶縁膜 1 2' を介して対向配置された遮光膜 1 1 a と第 1 蓄積容量電極 1 f との間における容量を増やすことが出来る。このように、画素開口領域を狭めないように且つ画素部の平坦性を害さないように、蓄積容量を増加させることができるので本実施の形態は大変有利である。

【0082】本実施の形態では図 2 及び図 6 に示すように、遮光配線部の遮光膜 1 1 b（及びこれに接続された画素部における遮光膜 1 1 a）は定電位線 6 b に電氣的接続されているので、遮光膜 1 1 a は定電位とされる。従って、遮光膜 1 1 a に対向配置される画素スイッチング用 TFT 30 に対し遮光膜 1 1 a の電位変動が悪影響を及ぼすことはない。この場合、定電位線 6 b の定電位としては、接地電位に等しくてもよいし、対向電極 2 1 の電位に等しくてもよい。また、定電位線 6 b は、液晶装置 100 を駆動するための周辺回路の負電源、正電源等の定電位源に接続されてもよい。

【0083】尚、本実施の形態では、画素スイッチング用 TFT 30 に対向する領域や走査線 3 a に対向する領域においては、第 1 層間絶縁膜 1 2' は凹状に窪められていない。このため、第 1 層間絶縁膜 1 2' を凹状に窪んだ領域において非常に薄くしても、凹状に窪んでいない領域における膜厚を十分な値に設定すれば、画素スイッチング用 TFT 30 のチャンネル形成用領域 1 a' に遮光膜 1 1 b の電位が悪影響を及ぼしたり、走査線 3 a と遮光膜 1 1 b との間で、寄生容量がつくような不具合はない。即ち、本実施の形態の如き構成を採れば、第 1 層間絶縁膜 1 2' の凹状に窪んだ領域における膜厚を蓄積容量増加のために、非常に薄く形成しても、画素スイッチング用 TFT 30 や走査線 3 a に対して悪影響を及ぼさないで、大変有利である。

【0084】更に図 2 及び図 6 に示すように、第 1 層間絶縁膜 1 2' は、遮光膜 1 1 b と定電位線 6 b とが接続される位置において、凹状に窪んで形成されているので、後述のように第 1 層間絶縁膜 1 2' 形成後にコンタクトホール 5 b をエッチングにより開孔する工程が、この凹状に窪んだ部分の深さに応じて容易となり、コンタクトホール 5 a と 5 b とを一括して開孔できる。従って、コンタクトホール 5 b を開孔するためだけのフォトリソグラフィ工程及びエッチング工程が削減できるた

め、工程数を増加させることがなく歩留まりの低下を招かない。

【0085】再び、図 3 において、画素スイッチング用 TFT 30 は、LDD (Lightly Doped Drain) 構造を有しており、走査線 3 a（ゲート電極）、走査線 3 a からの電界によりチャンネルが形成される半導体層 1 a のチャンネル形成用領域 1 a'、走査線 3 a と半導体層 1 a とを絶縁するゲート絶縁膜 2、半導体層 1 a の低濃度ソース領域（ソース側 LDD 領域）1 b、データ線 6 a（ソース電極）、半導体層 1 a の低濃度ドレイン領域（ドレイン側 LDD 領域）1 c、半導体層 1 a の高濃度ソース領域 1 e 及びポリシリコン層 1 の高濃度ドレイン領域 1 e を備えている。高濃度ドレイン領域 1 e には、複数の画素電極 9 a のうちの対応する一つが接続されている。ソース領域 1 b 及び 1 d 並びにドレイン領域 1 c 及び 1 e は後述のように、半導体層 1 a に対し、n 型又は p 型のチャンネルを形成するかに応じて所定濃度の n 型用又は p 型用のドーパントをドーピングすることにより形成されている。n 型チャンネルの TFT は、動作速度が速いという利点があり、画素のスイッチング素子である画素スイッチング用 TFT 30 として用いられることが多い。本実施の形態では特にデータ線 6 a（ソース電極）は、Al 等の金属膜や金属シリサイド等の合金膜などの遮光性の薄膜から構成されている。また、走査線 3 a（ゲート電極）、ゲート絶縁膜 2 及び第 1 層間絶縁膜 1 2' の上には、高濃度ソース領域 1 d へ通じるコンタクトホール 5 a 及び高濃度ドレイン領域 1 e へ通じるコンタクトホール 8 が各々形成された第 2 層間絶縁膜 4 が形成されている。このソース領域 1 b へのコンタクトホール 5 a を介して、データ線 6 a（ソース電極）は高濃度ソース領域 1 d に電氣的接続されている。更に、データ線 6 a（ソース電極）及び第 2 層間絶縁膜 4 の上には、高濃度ドレイン領域 1 e へのコンタクトホール 8 が形成された第 3 層間絶縁膜 7 が形成されている。この高濃度ドレイン領域 1 e へのコンタクトホール 8 を介して、画素電極 9 a は高濃度ドレイン領域 1 e に電氣的接続されている。前述の画素電極 9 a は、このように構成された第 3 層間絶縁膜 7 の上面に設けられている。

【0086】画素スイッチング用 TFT 30 は、好ましくは上述のように LDD 構造を持つが、低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c に不純物イオンの打ち込みを行わないオフセット構造を持ってよいし、ゲート電極 3 a をマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型の TFT であってもよい。

【0087】また本実施の形態では、画素スイッチング用 TFT 30 のゲート電極（データ線 3 a）をソースドレイン領域 1 b 及び 1 e 間に 1 個のみ配置したシングルゲート構造としたが、これらの間に 2 個以上のゲート電極を配置してもよい。この際、各々のゲート電極には

同一の信号が印加されるようにする。このようにデュアルゲート（ダブルゲート）以上でTFTを構成すれば、チャンネルとソースドレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することができる。これらのゲート電極の少なくとも1個をLDD構造或いはオフセット構造にすれば、更にオフ電流を低減でき、安定したスイッチング素子を得ることができる。

【0088】ここで、一般には、半導体層1aのチャンネル形成用領域1a'、低濃度ソース領域1b及び低濃度ドレイン領域1c等のポリシリコン層は、光が入射するとポリシリコンが有する光電変換効果により光電流が発生してしまい画素スイッチング用TFT30のトランジスタ特性が劣化するが、本実施の形態では、走査線3a（ゲート電極）を上側から覆うようにデータ線6a（ソース電極）がA1等の遮光性の金属薄膜から形成されているので、少なくとも半導体層1aのチャンネル形成用領域1a'及びLDD領域1b、1cへの入射光（即ち、図3で上側からの光）の入射を効果的に防ぐことが出来る。また、前述のように、画素スイッチング用TFT30の下側には、遮光膜11aが設けられているので、少なくとも半導体層1aのチャンネル形成用領域1a'及びLDD領域1b、1cへの戻り光（即ち、図3で下側からの光）の入射を効果的に防ぐことが出来る。

【0089】尚、図6において、第1層間絶縁膜12'は、2つの絶縁膜12及び13から構成されている。このような構成については、製造工程のところで詳述する。

【0090】（液晶装置の第2の実施の形態）本発明による液晶装置の第2の実施の形態について図8及び図9に基づいて説明する。第2の実施の形態は、TFTアレイ基板10側に遮光膜11aが設けられておらず、更に、データ線6a下に容量線3bが形成された領域でのみ、第1層間絶縁膜12'が凹状に窪んで形成されている点で第1の実施の形態とは異なる。尚、図1に示すように遮光膜11aが設けられていてもよいことは言うまでもない。図8は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の平面図である。また図9は、図8のB-B'断面図である。尚、図9においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。また、第1実施の形態と同じ構成要素については同じ参照符号を付し、その説明は省略する。

【0091】図8において、データ線6a下に容量線3bが形成された太線で囲まれた領域においては、図9に示すように第1層間絶縁膜12'が凹状に窪んで形成されており、それ以外の容量線3bや画素電極9a及び走査線3aにほぼ対応する領域においては、第1層間絶縁膜12'が相対的に凸状に（平面状に）形成されている。

【0092】従って、本実施の形態の如く平坦化処理を

何等施さなかった場合に第3層間絶縁膜7の上面で最も段差が生じる領域のみ、即ち、液晶の配向不良が最も問題になる領域のみを、第1層間絶縁膜12'の凹状の窪みにより平坦化するので、平坦化処理にかかるコストや手間を基準にした平坦化の効率が非常に良い。

【0093】また、図9に示した第1層間絶縁膜12'は、第1の実施の形態の場合と同様に、単層部分と2層部分とから構成しても良く、単層のみから構成してもよい。

【0094】本実施の形態では図9に示すように、半導体層1aの高濃度ドレイン領域1eは、データ線6aに沿って延設されて第1蓄積容量電極（半導体層）1fとされているので、データ線6aに沿って延設された第1蓄積容量電極（半導体層）1fと容量線（第2蓄積容量電極）3bとの間で、第1層間絶縁膜12'を介して容量が形成される。そして、このような容量が作り込まれる領域において平坦化が図られている。

【0095】（液晶装置の第3の実施の形態）本発明による液晶装置の第3の実施の形態について図10に基づいて説明する。第3の実施の形態は、TFTアレイ基板10側に遮光膜11aが設けられていない点で第1の実施の形態とは異なる。図10は、図1のC-C'断面に対応する位置における液晶装置の断面図である。尚、図10においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。また、第1の実施の形態と同じ構成要素については同じ参照符号を付し、その説明は省略する。

【0096】図10に示すように、第3の実施の形態の液晶装置は、第1の実施の形態を示した図5と比較して、遮光膜11aが設けられていない。その他の構成については第1の実施の形態と同様であるので、説明を省略する。

【0097】また、図10に示した第1層間絶縁膜12'は、第1の実施の形態の場合と同様に、単層部分と2層部分とから構成しても良く、単層のみから構成してもよい。

【0098】従って、本実施の形態の如く平坦化処理を何等施さなかった場合に第3層間絶縁膜7の上面で最も段差が生じるデータ線6a下に容量線3bが形成された領域と、走査線3aに沿って容量線3bが形成された領域との両方において、第1層間絶縁膜12'の凹状の窪みにより平坦化が図られている。

【0099】（液晶装置の第4の実施の形態）本発明による液晶装置の第4の実施の形態について図11に基づいて説明する。第4の実施の形態は、半導体層1aの下地膜としての第1層間絶縁膜12'をTFTアレイ基板10が兼ねており第1層間絶縁膜12'がなく、且つ遮光膜11aがない点で第1の実施の形態とは異なる。図11は、図1のB-B'断面に対応する位置における液晶装置の断面図である。尚、図11においては、各層や



各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。また、第 1 の実施の形態と同じ構成要素については同じ参照符号を付し、その説明は省略する。

【0100】図 11 に示すように、第 4 の実施の形態の液晶装置は、第 1 の実施の形態と比較して、遮光膜 11 a が設けられていない。更に、第 1 層間絶縁膜 12' がなく、第 1 蓄積容量電極（半導体層）1 f が直接 T F T アレイ基板 10 の上に形成されている。そして、データ線 6 a 下の容量線 3 b が形成された領域においては、第 2 層間絶縁膜 4 が凹状に窪んで形成されており、これにより、第 3 層間絶縁膜 7 の上面における平坦化が図られている。尚、走査線 3 a に沿って容量線 3 b が形成された領域については、第 2 層間絶縁膜 4 を凹状に窪めて形成して平坦化してもよいし、第 2 の実施の形態のように平坦化しなくてもよい。

【0101】また、図 11 に示した第 2 層間絶縁膜 4 は、第 1 の実施の形態における第 1 層間絶縁膜 12' の場合と同様に、単層部分と 2 層部分とから構成しても良く、単層のみから構成してもよい。

【0102】このように第 2 層間絶縁膜 4 を利用して平坦化することも可能である。

【0103】尚、図 1 に示すように、遮光膜 11 a や第 1 層間絶縁膜 12' を設けてもよいことは言うまでもない。

【0104】（液晶装置の第 5 の実施の形態）本発明による液晶装置の第 5 の実施の形態について図 12 に基づいて説明する。第 5 の実施の形態は、半導体層 1 a の下地膜としての第 1 層間絶縁膜 12' を T F T アレイ基板 10 が兼ねており第 1 層間絶縁膜 12' がなく、且つ遮光膜 11 a が無い点で第 1 の実施の形態とは異なる。図 12 は、図 1 の B-B' 断面に対応する位置における液晶装置の断面図である。尚、図 12 においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。また、第 1 の実施の形態と同じ構成要素については同じ参照符号を付し、その説明は省略する。

【0105】図 12 に示すように、第 4 の実施の形態の液晶装置は、第 1 の実施の形態と比較して、遮光膜 11 a が設けられていない。更に、第 1 層間絶縁膜 12' がなく、第 1 蓄積容量電極（半導体層）1 f が直接 T F T アレイ基板 10 の上に形成されている。そして、データ線 6 a 下の容量線 3 b が形成された領域においては、第 3 層間絶縁膜 7 が凹状に窪んで形成されており、これにより、第 3 層間絶縁膜 7 の上面における平坦化が図られている。尚、走査線 3 a に沿って容量線 3 b が形成された領域については、第 3 層間絶縁膜 7 を凹状に窪めて形成して平坦化してもよいし、第 2 の実施の形態のように平坦化しなくてもよい。

【0106】また、図 12 に示した第 3 層間絶縁膜 7

は、第 1 の実施の形態における第 1 層間絶縁膜 12' の場合と同様に、単層部分と 2 層部分とから構成しても良く、単層のみから構成してもよい。

【0107】このように第 3 層間絶縁膜 7 を利用して平坦化することも可能である。

【0108】尚、図 1 に示すように、遮光膜 11 a や第 1 層間絶縁膜 12' を設けてもよいことは言うまでもない。

【0109】（液晶装置の全体構成）以上のように構成された液晶装置の各実施の形態の全体構成を図 13 及び図 14 を参照して説明する。尚、図 13 は、T F T アレイ基板 10 をその上に形成された各構成要素と共に対向基板 20 の側から見た平面図であり、図 14 は、対向基板 20 を含めて示す図 13 の H-H' 断面図である。

【0110】図 13 において、T F T アレイ基板 10 の上には、シール材 5 2 がその縁に沿って設けられており、その内側に並行して、例えば遮光層 23 と同じ或いは異なる材料から成る遮光性の周辺見切り 5 3 が設けられている。シール材 5 2 の外側の領域には、データ線駆動回路 101 及び実装端子 102 が T F T アレイ基板 10 の一辺に沿って設けられており、走査線駆動回路 104 が、この一辺に隣接する 2 辺に沿って設けられている。走査線 3 a に供給される走査信号遅延が問題にならないのならば、走査線駆動回路 104 は片側だけでも良いことは言うまでもない。また、データ線駆動回路 101 を画面表示領域の辺に沿って両側に配列してもよい。例えば奇数列のデータ線 6 a は画面表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は前記画面表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線 6 a を櫛歯状に駆動するようにすれば、データ線駆動回路の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。更に T F T アレイ基板 10 の残る一辺には、画面表示領域の両側に設けられた走査線駆動回路 104 間をつなぐための複数の配線 105 が設けられている。また、対向基板 20 のコーナー部の少なくとも 1 箇所においては、T F T アレイ基板 10 と対向基板 20 との間で電氣的導通をとるための導通材からなる銀点 106 が設けられている。そして、図 14 に示すように、図 13 に示したシール材 5 2 とほぼ同じ輪郭を持つ対向基板 20 が当該シール材 5 2 により T F T アレイ基板 10 に固着されている。

【0111】データ線駆動回路 101 及び走査線駆動回路 104 は配線によりデータ線 6 a（ソース電極）及び走査線 3 a（ゲート電極）に各々電氣的接続されている。データ線駆動回路 101 には、図示しない制御回路から即時表示可能な形式に変換された画像信号が入力され、走査線駆動回路 104 がパルスの走査線 3 a に順番にゲート電圧を送るのに合わせて、データ線駆動回路



101は画像信号に応じた信号電圧をデータ線6a(ソース電極)に送る。本実施の形態では特に、画素スイッチング用TFT30はp-Si(ポリシリコン)タイプのTFTであるので、画素スイッチング用TFT30の形成時にはほぼ同一工程で、データ線駆動回路101及び走査線駆動回路104を構成する相補型TFTを形成することも可能であり、製造上有利である。

【0112】次に、図15に第1の実施の形態における遮光配線部をなす遮光膜11bのTFTアレ基板100上の2次元的レイアウトを示す。

【0113】図15に示すように、遮光膜11aは、周辺見切り53内の画面表示領域において走査線3a、容量線3b及びデータ線6aを覆うように引き回されており、画面表示領域の外側で、対向基板20上の周辺見切り53の下部を通るように配線し、図2に示したように定電位線に接続される。このように配線すれば、周辺見切り53下のデッドスペースを有効に使うことが出来、シール材を硬化させる面積を広くとることが出来る。また、対向基板20上に設けられた周辺見切り53をTFTアレ基板10上に遮光膜11aと同層で同材料で設け、遮光膜11a及び11bと電気的に接続するようにしてもよい。このように、周辺見切り53を内蔵することにより対向基板20上の遮光層は必要無くなるため、TFTアレ基板10と対向基板20の張り合わせ時の精度は無視することが出来、透過率のばらつかない明るい液晶装置を実現できる。

【0114】尚、図13から図15において、TFTアレ基板10上には更に、複数のデータ線6aに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、画像信号をサンプリングして複数のデータ線6aに各々供給するサンプリング回路、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等を形成してもよい。また、データ線駆動回路101及び走査線駆動回路104をTFTアレ基板10の上に設ける代わりに、例えばTAB(テープオートメイトドボンディング基板)上に実装された駆動用LSIに、TFTアレ基板10の周辺部に設けられた異方性導電フィルムを介して電気的及び機械的に接続するようにしてもよい。

【0115】また、図1から図15には示されていないが、対向基板20の投射光が入射する側及びTFTアレ基板10の出射光が出射する側には各々、例えば、TN(ツイステッドネマティック)モード、STN(スーパーTN)モード、D-STN(ダブル-STN)モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。

【0116】次に以上のように構成された本実施の形態の動作について図3及び図13から図15を参照して説

明する。

【0117】先ず、制御回路から画像信号を受けたデータ線駆動回路101は、この画像信号に応じたタイミング及び大きさで信号電圧をデータ線6a(ソース電極)に印加し、これと並行して、走査線駆動回路104は、所定タイミングで走査線3a(ゲート電極)にゲート電圧をパルスの順次印加し、画素スイッチング用TFT30は駆動される。これにより、ゲート電圧がオンとされた時点でソース電圧が印加された画素スイッチング用TFT30においては、ソース領域1d及び1b、半導体層1aのチャネル形成用領域1a'に形成されたチャネル並びにドレイン領域1c及び1eを介して画素電極9aに電圧が印加される。そして、この画素電極9aの電圧は、ソース電圧が印加された時間よりも例えば3桁も長い時間だけ蓄積容量(図4及び図5参照)により保持される。

【0118】以上のように、画素電極9aに電圧が印加されると、液晶層50におけるこの画素電極9aと対向電極21とに挟まれた部分における液晶の配向状態が変化し、ノーマリーホワイトモードであれば、印加された電圧に応じて入射光がこの液晶部分を通過不可能とされ、ノーマリーブラックモードであれば、印加された電圧に応じて入射光がこの液晶部分を通過可能とされ、全体として液晶装置100からは画像信号に応じたコントラストを持つ光が出射する。

【0119】特に本実施の形態では、層間絶縁膜を凹状に窪めて形成することにより画素部における平坦化が図られているため、液晶の配向不良が特に容量線が形成された領域の付近で低減されており、液晶装置100により、高コントラストで高画質の画像を表示することが可能となる。

【0120】以上説明した液晶装置100は、カラー液晶プロジェクトに適用されるため、3枚の液晶装置100がRGB用のライトバルブとして各々用いられ、各パネルには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施の形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、液晶装置100においても遮光層23の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。このようにすれば、液晶プロジェクト以外の直視型や反射型のカラー液晶テレビなどのカラー液晶装置に本実施の形態の液晶装置を適用できる。更に、対向基板20上に1画素1個に対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい液晶装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよ

い。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー液晶装置が実現できる。

【0121】液晶装置100では、従来と同様に入射光を対向基板20の側から入射することとしたが、第1の実施の形態のように遮光膜11aを設けた場合には、TFTアレ基板10の側から入射光を入射し、対向基板20の側から出射するようにしても良い。即ち、このように液晶装置100を液晶プロジェクトに取り付けても、半導体層1aのチャネル形成領域1a'及びLDD領域1b、1cに光が入射することを防ぐことが出来、高画質の画像を表示することが可能である。ここで、従来は、TFTアレ基板100の裏面側での反射を防止するために、反射防止用のAR被膜された偏光板を別途配置したり、ARフィルムを貼り付ける必要があった。しかし、第1の実施の形態では、TFTアレ基板10の表面と半導体層1aの少なくともチャネル形成領域1a'及びLDD領域1b、1cとの間に遮光膜11aが形成されているため、このようなAR被膜された偏光板やARフィルムを用いたり、TFTアレ基板10そのものをAR処理した基板を使用する必要が無く

なる。従って、本実施の形態によれば、材料コストを削減でき、また偏光板貼り付け時に、ごみ、傷等により、歩留まりを落とすことがなく大変有利である。また、耐光性が優れているため、明るい光源を使用したり、偏光ビームスプリッタにより偏光変換して、光利用効率を向上させても、光によるクロストーク等の画質劣化を生じない。

【0122】また、液晶装置100のスイッチング素子は、正スタガ型又はコプラナー型のポリシリコンTFTであるとして説明したが、逆スタガ型のTFTやアモルファスシリコンTFT等の他の形式のTFTに対して

も、本実施の形態は有効である。

【0123】更に、液晶装置100においては、一例として液晶層50をネマティック液晶から構成したが、液晶を高分子中に微小粒として分散させた高分子分散型液晶を用いれば、配向膜19及び22、並びに前述の偏光フィルム、偏光板等が不要となり、光利用効率が高まることによる液晶装置の高輝度化や低消費電力化の利点が得られる。更に、画素電極9aをAl等の反射率の高い金属膜から構成することにより、液晶装置100を反射型液晶装置に適用する場合には、電圧無印加状態で液晶分子がほぼ垂直配向されたSH（スーパーホメオトロピック）型液晶などを用いても良い。更にまた、液晶装置100においては、液晶層50に対し垂直な電界（縦電界）を印加するように対向基板20の側に対向電極21を設けているが、液晶層50に平行な電界（横電界）を印加するように一対の横電界発生用の電極から画素電極9aを各々構成する（即ち、対向基板20の側には縦電界発生用の電極を設けることなく、TFTアレ基板10の側に横電界発生用の電極を設ける）ことも可能であ

る。このように横電界を用いると、縦電界を用いた場合よりも視野角を広げる上で有利である。その他、各種の液晶材料（液晶相）、動作モード、液晶配列、駆動方法等に本実施の形態を適用することが可能である。

【0124】（製造プロセス）次に、以上のような構成を持つ液晶装置の製造プロセスについて第1の実施の形態の液晶装置を例として図16から図23を参照して説明する。尚、図16から図19は各工程におけるTFTアレ基板側の各層を、第1の実施の形態における特徴的な箇所を含む図4のB-B'断面に対応させて示す工程図であり、更に、図20から図23は各工程におけるTFTアレ基板側の各層を図6のD-D'断面に対応させて示す工程図である。そして、これらの図に記された工程（1）～工程（20）は、TFTアレ基板1上の相異なる部分における同一の工程として各々一括して行われるものである。

【0125】先ず、図16から図19を参照して、図4のB-B'断面に対応するデータ線3a並びにその下に形成された容量線3b及び第1蓄積容量電極（半導体層）1fを含む部分の製造プロセスを中心に説明する。尚、図3のA-A'断面に示された構成要素の製造行程や図5のC-C'断面に示された構成要素の製造行程も、図16から図19に示した各行程と一括して行われるものであるため、これらの製造工程についても各行程毎に適宜説明を加える。

【0126】図16の工程（1）に示すように、石英基板、ハードガラス等のTFTアレ基板10を用意する。ここで、好ましくはN<sub>2</sub>（窒素）等の不活性ガス雰囲気且つ約900～1300℃の高温でアニール処理し、後に実施される高温プロセスにおけるTFTアレ基板10に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおける最高温で高温処理される温度に合わせて、事前にTFTアレ基板10を同じ温度かそれ以上の温度で熱処理しておく。

【0127】このように処理されたTFTアレ基板10の全面に、Ti、Cr、W、Ta、Mo及びPd等の金属や金属シリサイド等の金属合金膜を、スパッタにより、1000～5000Å程度の層厚、好ましくは約2000Åの層厚の遮光膜11を形成する。

【0128】続いて、工程（2）に示すように、該形成された遮光膜11上にフォトリソグラフィにより遮光膜11aのパターン（図1参照）に対応するレジストマスクを形成し、該レジストマスクを介して遮光膜11に対しエッチングを行うことにより、遮光膜11aを形成する。

【0129】次に工程（3）に示すように、遮光膜11aの上に、例えば、常圧又は減圧CVD法等によりTEOS（テトラ・エチル・オルソ・シリケート）ガス、TEB（テトラ・エチル・ボートレート）ガス、TMOP（テトラ・メチル・オキシ・フォスレート）ガス等を用

いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第1絶縁膜12（2層の第1層間絶縁膜12'の下層）を形成する。この第1絶縁膜12の層厚は、例えば、約5000～20000Åとし、後の工程で埋め込みたい膜の膜厚により第1絶縁膜12の厚みを決定するようにする。

【0130】次に工程（4）に示すように、容量線3bを上方に形成する予定の領域（図1、図4及び図5参照）に対して、エッチングを行い、この領域における第1絶縁膜12を除去する。ここで、前記エッチングを反応性エッチング、反応性イオンビームエッチング等のドライエッチングで処理した場合、フォトリソグラフィにより形成したレジストマスクとほぼ同じサイズで異方的に第1絶縁膜12が除去できるため、設計寸法通りに容易に制御できる利点がある。一方、少なくともウェットエッチングを用いた場合には、等方性のため、第1絶縁膜12の開孔領域が広がるが、開孔部の側壁面をテーパ状に形成できるため、後工程の例えば走査線3aを形成するためのポリシリコン膜3やレジストが、開孔部の側壁周囲にエッチングや剥離されずに残ってしまうことがなく、歩留まりの低下を招かない。尚、第1絶縁膜12の開孔部の側壁面をテーパ状に形成する方法としては、ドライエッチングで一度エッチングしてから、レジストパターンを後退させて、再度ドライエッチングを行ってもよい。また、ドライエッチングとウェットエッチングを組み合わせてもよいことは言うまでもない。

【0131】次に工程（5）に示すように、遮光膜11a及び第1絶縁膜12の上に、第1絶縁膜12と同様に、シリケートガラス膜、又は窒化シリコン膜や酸化シリコン膜等からなる第2絶縁膜13（2層の第1層間絶縁膜12'の上層）を形成する。この第2絶縁膜13の層厚は、例えば、約1000～2000Åとする。第2絶縁膜13に対し、約900℃のアニール処理を施すことにより、汚染を防ぐと共に平坦化してもよい。

【0132】本実施の形態では特に、第1層間絶縁膜12'を形成する第1絶縁膜12及び第2絶縁膜13の層厚は、図4に示したようにデータ線6a下に容量線3bが形成される領域において、画素電極9aが形成される前に画素領域がほぼ平坦になるように設定される。

【0133】次に工程（6）に示すように、第2絶縁膜13の上に、約450～550℃、好ましくは約500℃の比較的低温環境中で、流量約400～600cc/minのモノシランガス、ジシランガス等を用いた減圧CVD（例えば、圧力約20～40PaのCVD）により、アモルファスシリコン膜を形成する。その後、窒素雰囲気中で、約600～700℃にて約1～10時間、好ましくは、4～6時間のアニール処理を施すことにより、ポリシリコン膜1を約500～2000Åの厚さ、好ましくは約1000Åの厚さとなるまで固相成長

させる。

【0134】この際、図3に示した画素スイッチング用TFT30として、nチャネル型の画素スイッチング用TFT30を作成する場合には、当該チャネル形成用領域にSb（アンチモン）、As（砒素）、P（リン）などのV族元素のドーパントを僅かにイオン注入等によりドーピングする。また、画素スイッチング用TFT30をpチャネル型とする場合には、B（ボロン）、Ga（ガリウム）、In（インジウム）などのIII族元素のドーパントを僅かにイオン注入等によりドーピングする。尚、アモルファスシリコン膜を経ないで、減圧CVD法等によりポリシリコン膜1を直接形成しても良い。或いは、減圧CVD法等により堆積したポリシリコン膜にシリコンイオンを打ち込んで一旦非晶質化（アモルファス化）し、その後アニール処理等により再結晶化させてポリシリコン膜1を形成しても良い。

【0135】次に図17の工程（7）に示すように、フォトリソグラフィ工程、エッチング工程等により、図1に示した如き所定パターンの半導体層1aを形成する。即ち、特にデータ線6a下で容量線3bが形成される領域及び走査線3aに沿って容量線3bが形成される領域には、画素スイッチング用TFT30を構成する半導体層1a（図3参照）から延設された第1蓄積容量電極（半導体層）1fを形成する（図4及び図5参照）。

【0136】次に工程（8）に示すように、画素スイッチング用TFT30を構成する半導体層1aと共に第1蓄積容量電極（半導体層）1fを約900～1300℃の温度、好ましくは約1000℃の温度により熱酸化することにより、約300Åの比較的薄い厚さの熱酸化シリコン膜を形成し、更に減圧CVD法等により高温酸化シリコン膜（HTO膜）や窒化シリコン膜を約500Åの比較的薄い厚さに堆積し、多層構造を持つ画素スイッチング用TFT30のゲート絶縁膜2（図3参照）と共に容量形成用絶縁膜2を形成する（図4及び図5参照）。この結果、第1蓄積容量電極1f（半導体層1a）の厚さは、約300～1500Åの厚さ、好ましくは約350～500Åの厚さとなり、容量形成用絶縁膜（ゲート絶縁膜）2の厚さは、約200～1500Åの厚さ、好ましくは約300～1000Åの厚さとなる。このように高温熱酸化時間を短くすることにより、特に8インチ程度的大型ウエーハを使用する場合に熱によるそりを防止することができる。但し、ポリシリコン層1を熱酸化することのみにより、単一層構造を持つ容量形成用絶縁膜2（ゲート絶縁膜2）を形成してもよい。

【0137】尚、工程（8）において特に限定されないが、第1蓄積容量電極1fとなる半導体層部分に、例えば、Pイオンをドーピング量約 $3 \times 10^{12} / \text{cm}^2$ でドーピングして、低抵抗化させてもよい。

【0138】次に工程（9）に示すように、減圧CVD法等によりポリシリコン層3を堆積した後、リン（P）

を熱拡散し、ポリシリコン膜 3 を導電化する。又は、P イオンをポリシリコン膜 3 の成膜と同時に導入したドーブトシリコン膜を用いてもよい。工程 (10) に示すように、レジストマスクを用いたフォトリソグラフィ工程、エッチング工程等により、図 1 に示した如き所定パターンの走査線 3 a (ゲート電極) と共に容量線 3 b を形成する。これらの容量線 3 b (走査線 3 a) の層厚は、例えば、約 3500 Å とされる。

【0139】但し、容量線 3 b や走査線 3 a を、ポリシリコン層ではなく、W や Mo 等の高融点金属膜又は金属シリサイド膜から形成してもよいし、若しくはこれらの金属膜又は金属シリサイド膜とポリシリコン膜を組み合わせ多層に形成してもよい。この場合、容量線 3 b や走査線 3 a を、遮光層 23 が覆う領域の一部又は全部に対応する遮光膜として配置すれば、金属膜や金属シリサイド膜の持つ遮光性により、遮光層 23 の一部或いは全部を省略することも可能となる。この場合特に、対向基板 20 と TFT アレイ基板 10 との貼り合わせずれによる画素開口率の低下を防ぐことが出来る利点がある。

【0140】次に工程 (11) に示すように、図 3 に示した画素スイッチング用 TFT 30 を LDD 構造を持つ n チャネル型の TFT とする場合、半導体層 1 a に、先ず低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c を形成するために、走査線 3 a (ゲート電極) を拡散マスクとして、P などの V 族元素のドーパント 200 を低濃度で (例えば、P イオンを  $1 \sim 3 \times 10^{11} / \text{cm}^2$  のドーズ量にて) ドープする。これにより走査線 3 a (ゲート電極) 下の半導体層 1 a はチャネル形成用領域 1 a' となる。この不純物のドーブにより容量線 3 b 及び走査線 3 a も低抵抗化される (図 4 及び図 5 参照)。

【0141】続いて、図 18 の工程 (12) に示すように、画素スイッチング用 TFT 30 を構成する高濃度ソース領域 1 b 及び高濃度ドレイン領域 1 c を形成するために、走査線 3 a (ゲート電極) よりも幅の広いマスクでレジスト層 202 を走査線 3 a (ゲート電極) 上に形成した後、同じく P などの V 族元素のドーパント 201 を高濃度で (例えば、P イオンを  $1 \sim 3 \times 10^{15} / \text{cm}^2$  のドーズ量にて) ドープする。また、画素スイッチング用 TFT 30 を p チャネル型とする場合、半導体層 1 a に、低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c 並びに高濃度ソース領域 1 d 及び高濃度ドレイン領域 1 e を形成するために、B などの III 族元素のドーパントを用いてドープする。このように LDD 構造とした場合、ショートチャネル効果を低減できる利点が得られる。尚、例えば、低濃度のドーブを行わずに、オフセット構造の TFT としてもよく、走査線 3 a (ゲート電極) をマスクとして、P イオン、B イオン等を用いたイオン注入技術によりセルフアライン型の TFT としてもよい。

【0142】この不純物のドーブにより容量線 3 b 及び

走査線 3 a も更に低抵抗化される (図 4 及び図 5 参照)。

【0143】これらの工程と並行して、n チャネル型 TFT 及び p チャネル型 TFT から構成される相補型構造を持つデータ線駆動回路 101 及び走査線駆動回路 104 を TFT アレイ基板 10 上の周辺部に形成する。このように、本実施の形態において画素スイッチング用 TFT 30 はポリシリコン TFT であるので、画素スイッチング用 TFT 30 の形成時にほぼ同一工程で、データ線駆動回路 101 及び走査線駆動回路 104 を形成することができ、製造上有利である。

【0144】次に工程 (13) に示すように、画素スイッチング用 TFT 30 における走査線 3 a (ゲート電極) と共に容量線 3 b 及び走査線 3 a を覆うように (図 4 及び図 5 参照)、例えば、常圧又は減圧 CVD 法や TEOS ガス等を用いて、NSG、PSG、BSG、BP SG などのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第 2 層間絶縁膜 4 を形成する。第 2 層間絶縁膜 4 の層厚は、約 5000 ~ 15000 Å が好ましい。

【0145】次に工程 (14) の段階で、図 3 に示すように高濃度ソース領域 1 d 及び高濃度ドレイン領域 1 e を活性化するために約 1000 °C のアニール処理を 20 分程度行った後、データ線 31 (ソース電極) に対するコンタクトホール 5 a を、反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。この際、反応性エッチング、反応性イオンビームエッチングのような異方性エッチングにより、コンタクトホール 5 a 等を開孔した方が、開孔形状をマスク形状とほぼ同じにできるという利点がある。但し、ドライエッチングとウエットエッチングとを組み合わせると開孔すれば、これらのコンタクトホール 5 a 等をテーパ状にできるので、配線接続時の断線を防止できるという利点が得られる。また、走査線 3 a や容量線 3 b (図 5 参照) を図示しない配線と接続するためのコンタクトホールも、コンタクトホール 5 a と同一の工程により第 2 層間絶縁膜 4 に開孔する。

【0146】次に工程 (15) に示すように、第 2 層間絶縁膜 4 の上に、スパッタ処理等により、遮光性の Al 等の低抵抗金属や金属シリサイド等を金属膜 6 として、約 1000 ~ 5000 Å の厚さ、好ましくは約 3000 Å に堆積し、更に工程 (16) に示すように、フォトリソグラフィ工程、エッチング工程等により、データ線 6 a (ソース電極) を形成する。

【0147】次に図 19 の工程 (17) に示すように、データ線 6 a (ソース電極) 上を覆うように、例えば、常圧又は減圧 CVD 法や TEOS ガス等を用いて、NSG、PSG、BSG、BP SG などのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第 3 層間絶縁膜 7 を形成する。第 3 層間絶縁膜 7 の層厚は、約

5000～15000Åが好ましい。

【0148】本実施の形態では、特に図16の工程

(4)及び(5)により、容量線3bが形成される領域において、第1層間絶縁膜が凹状に窪んで形成されているため、この工程(17)を終えた段階で、容量線3b

の上方に位置する画素領域の表面はほぼ平坦となる。尚、液晶装置100において、TFTアレ基板10側における液晶分子の配向不良を更に抑制するために、第3層間絶縁膜7の上に更に平坦化膜をスピコート等で塗布してもよく、又はCMP処理を施してもよい。或いは、第3層間絶縁膜7を平坦化膜で形成してもよい。本実施の形態では、図4から図6等に示したように、第1層間絶縁膜12'の凹状の窪みにより容量線等が形成された部分とそれ以外の部分とが殆ど同じ高さとなるため、このような平坦化処理は一般に必要でないが、より高品位の画像を表示するために、このように最上層部において更なる平坦化を行う場合にも、平坦化膜を非常に薄くできたり、平坦化処理を僅かに加えるだけです済むので本実施の形態は、大変有利である。

【0149】次に工程(18)の段階において、図3に示すように、画素スイッチング用TFT30において、画素電極9aと高濃度ドレイン領域1eとを電気的接続するためのコンタクトホール8を、反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。この際、反応性エッチング、反応性イオンビームエッチングのような異方性エッチングにより、コンタクトホール8を開孔した方が、開孔形状をマスク形状とほぼ同じにできるという利点が得られる。但し、ドライエッチングとウエットエッチングとを組み合わせると開孔すれば、コンタクトホール8をテーパ状にできるので、配線接続時の断線を防止できるという利点が得られる。

【0150】次に工程(19)に示すように、第3層間絶縁膜7の上に、スパッタ処理等により、ITO膜等の透明導電性薄膜9を、約500～2000Åの厚さに堆積し、更に工程(20)に示すように、フォトリソグラフィ工程、エッチング工程等により、画素電極9aを形成する。尚、当該液晶装置100を反射型の液晶装置に用いる場合には、Al等の反射率の高い不透明な材料から画素電極9aを形成してもよい。

【0151】続いて、画素電極9aの上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、図3に示した配向膜19が形成される。

【0152】他方、図3に示した対向基板20については、ガラス基板等が先ず用意され、遮光層23及び遮光性の周辺見切り53が、例えば金属クロムをスパッタした後、フォトリソグラフィ工程、エッチング工程を経て形成される。尚、遮光層23及び周辺見切り53は、Cr、Ni、Alなどの金属材料の他、カーボンやTiを

フォトレジストに分散した樹脂ブラックなどの材料から形成してもよい。

【0153】その後、対向基板20の全面にスパッタ処理等により、ITO等の透明導電性薄膜を、約500～2000Åの厚さに堆積することにより、対向電極21を形成する。更に、対向電極21の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜22が形成される。

【0154】本実施の形態では、前述のように、データ線6aに沿って相隣接した走査線3aの側から容量線3bの側に向かう方向でラビング処理が行われる。これにより、その性質上ラビング処理が困難な段差S2(図5参照)が遮光層23により覆われる境界領域の中央付近に位置するため、この段差S2における配向不良が画素開口領域に悪影響を及ぼすことが殆ど又は全くない。

【0155】最後に、上述のように各層が形成されたTFTアレ基板10と対向基板20とは、配向膜19及び22が対面するようにシール材52により貼り合わされ、真空吸引等により、両基板間の空間に、例えば複数種類のネマティック液晶を混合してなる液晶が吸引されて、所定層厚の液晶層50が形成される。

【0156】次に、図20から図23を参照して、図6のD-D'断面に対応する遮光膜と定電位線との接続部分を含む部分の製造プロセスについて説明する。

【0157】図20の工程(1)から図23の工程(20)は、前述した図16の工程(1)から図19の工程(20)と同一の製造プロセスとして行われる。

【0158】即ち、図20の工程(1)に示すように、TFTアレ基板10の全面に遮光膜11を形成した後、工程(2)に示すように、フォトリソグラフィ工程、エッチング工程等により遮光膜11bを形成する。

【0159】次に工程(3)に示すように、遮光膜11bの上に、第1絶縁膜12(2層の第1層間絶縁膜12'の下層)を形成し、工程(4)に示すように、接続部分を上方に形成する予定の領域に対して、エッチングを行い、この領域における第1絶縁膜12を除去する。ここで、エッチングを反応性エッチング、反応性イオンビームエッチング等のドライエッチングで処理した場合、フォトリソグラフィにより形成したレジストマスクとはほぼ同じサイズで異方的に第1絶縁膜12が除去できるため、設計寸法通りに容易に制御できる利点がある。一方、少なくともウエットエッチングを用いた場合には、等方性のため、第1絶縁膜12の開孔領域が広がるが、開孔部の側壁面をテーパ状に形成できるため、後工程の例えば走査線3aを形成するためのポリシリコン膜やレジストが、開孔部の側壁周囲にエッチングや剥離されずに残ってしまうことがなく、歩留まりの低下を招かない。尚、第1絶縁膜12の開孔部の側壁面をテーパ状に形成する方法としては、ドライエッチングで一度

エッチングしてから、レジストパターンを後退させて、再度ドライエッチングを行ってもよい。

【0160】その後、工程（５）に示すように、遮光膜 11b 及び第 1 絶縁膜 12 の上に、第 2 絶縁膜 13（２層の第 1 層間絶縁膜 12' の上層）を形成する。

【0161】次に工程（６）に示すように、第 2 絶縁膜 13 上にアモルファスシリコン膜を形成した後、ポリシリコン膜 1 を固相成長させる。

【0162】次に図 21 の工程（７）及び（８）では、画素部における半導体層 1a とゲート絶縁膜 2 の形成を待ち、その後、工程（９）に示すように、ポリシリコン層 3 を一旦堆積した後、工程（１０）に示すように、この接続部分ではポリシリコン層 3 は全て除去される。

【0163】次に図 21 の工程（１１）及び図 22 の工程（１２）に示すように、半導体層 1a のための不純物イオンのドーブが終了する。

【0164】次に工程（１３）に示すように、第 1 絶縁膜 13 を覆うように、第 2 層間絶縁膜 4 を形成し、工程（１４）に示すように、遮光膜 11b と定電位線 6b とを接続するためのコンタクトホール 5b を第 2 層間絶縁膜 4 に開ける。この際、第 2 層間絶縁膜 4 の下に形成されているのは第 1 層間絶縁膜 12' のうち第 2 絶縁膜 13 だけなので、半導体層 1a の高濃度ソース領域 1d 上で第 2 層間絶縁膜 4 を開孔して、コンタクトホール 5a を形成する工程（図 18 の工程（１４））と同じエッチング工程で一気に入開孔できる。

【0165】次に工程（１５）に示すように、第 2 層間絶縁膜 4 の上に、スパッタ処理等により、A1 等を金属膜 6 として堆積した後、工程（１６）に示すように、フォトリソグラフィ工程、エッチング工程等により、データ線と同一層（A1 等）からなる定電位線 6b を形成する。

【0166】次に図 23 の工程（１７）に示すように、定電位線 6b 及び第 2 層間絶縁膜 4 上を覆うように、第 3 層間絶縁膜 7 を形成する。

【0167】次に工程（１８）では、図 3 に示すコンタクトホール 8 が開孔されるのを待った後、工程（１９）に示すように、第 3 層間絶縁膜 7 の上に、ITO 膜等の透明導電性薄膜 9 を一旦堆積し、更に工程（２０）に示すように、フォトリソグラフィ工程、エッチング工程等によりこの部分については全て除去する。

【0168】以上のように本実施の形態における液晶装置の製造方法によれば、遮光膜 11b と定電位線 6b とを接続するためのコンタクトホール 5b として、遮光膜 11b に至るまで第 2 層間絶縁膜 4 及び第 1 絶縁膜 13（第 1 層間絶縁膜の上層）が開孔され、同時に、画素スイッチング用 TFT30 とデータ線 6a とを接続するためのコンタクトホール 5a として、半導体層 1a に至るまで第 2 層間絶縁膜 4 が開孔される。従って、これら 2 種類のコンタクトホール 5a 及び 5b を一括して開孔で

きるので、製造上有利である。例えば、選択比を適当な値に設定してのウェットエッチングにより、このような 2 種類のコンタクトホール 5a 及び 5b を各々所定の深さとなるように一括して開孔することが可能となる。特に、第 1 層間絶縁膜の凹状に窪んだ部分の深さに応じて、これらのコンタクトホールを開孔する工程が容易となる。遮光膜と定電位線を接続するためのコンタクトホール開孔工程（フォトリソグラフィ工程、エッチング工程等）が削除できるので、工程増による製造コストの増大や歩留まりの低下を招かない。

【0169】以上説明したように本実施の形態における製造プロセスによれば、凹状に窪んだ部分における第 1 層間絶縁膜 12' の層厚を、第 2 絶縁膜 13 の層厚の管理により、比較的容易にして確実に高精度に制御できる。従って、この凹状に窪んだ部分における第 1 層間絶縁膜 12' の層厚を非常に薄くすることも可能となる。

【0170】尚、第 1 層間絶縁膜 12 を単層から構成する場合には、図 16 及び図 20 に各々示した工程（３）、（４）及び（５）に若干の変更を加えて、工程（１）から（２０）を行えばよい。即ち、工程（３）において、遮光膜 11a の上に、例えば、約 10000～15000Å といったように若干厚めの単層の第 1 層間絶縁膜 12 を堆積し、工程（４）において、容量線 3b を上方に形成する予定の領域に対して、エッチングを行い、この領域における第 1 層間絶縁膜 12 を 1000～2000Å 程度の厚みを残すようにする。そして、工程（５）を省略する。この場合にも、第 1 層間絶縁膜 12 のエッチングしない部分の層厚とエッチングした部分の層厚とは、後に画素電極 9a が形成される前に画素領域がほぼ平坦になるように設定される。このように第 1 層間絶縁膜 12 を単層から構成すれば、従来の場合と比較しても層の数を増加させる必要が無く、凹状に窪んだ部分とそうでない部分との層厚をエッチング時間管理により制御すれば平坦化を図れるので便利である。

【0171】（電子機器）次に、以上詳細に説明した液晶装置 100 を備えた電子機器の実施の形態について図 24 から図 28 を参照して説明する。

【0172】先ず図 24 に、このように液晶装置 100 を備えた電子機器の概略構成を示す。

【0173】図 24 において、電子機器は、表示情報出力源 1000、表示情報処理回路 1002、駆動回路 1004、液晶装置 100、クロック発生回路 1008 並びに電源回路 1010 を備えて構成されている。表示情報出力源 1000 は、ROM (Read Only Memory)、RAM (Random Access Memory)、光ディスク装置などのメモリ、画像信号を同調して出力する同調回路等を含み、クロック発生回路 1008 からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路 1002 に出力する。表示情報処理回路 1002 は、増幅・極性反転回路、相展開回路、ロー



ーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号CLKと共に駆動回路1004に出力する。駆動回路1004は、液晶装置100を駆動する。電源回路1010は、上述の各回路に所定電源を供給する。尚、液晶装置100を構成するTFTアレ基板の上に、駆動回路1004を搭載してもよく、これに加えて表示情報処理回路1002を搭載してもよい。

【0174】次に図25から図28に、このように構成された電子機器の具体例を各々示す。

【0175】図25において、電子機器の一例たる液晶プロジェクタ1100は、上述した駆動回路1004がTFTアレ基板上に搭載された液晶装置100を含む液晶モジュールを3個用意し、各々RGB用のライトバルブ100R、100G及び100Bとして用いたプロジェクタとして構成されている。液晶プロジェクタ1100では、メタルハライドランプ等の白色光源のランプユニット1102から投射光が発せられると、3枚のミラー1106及び2枚のダイクロイックミラー1108によって、RGBの3原色に対応する光成分R、G、Bに分けられ、各色に対応するライトバルブ100R、100G及び100Bに各々導かれる。この際特にB光は、長い光路による光損失を防ぐために、入射レンズ1122、リレーレンズ1123及び出射レンズ1124からなるリレーレンズ系1121を介して導かれる。そして、ライトバルブ100R、100G及び100Bにより各々変調された3原色に対応する光成分は、ダイクロイックプリズム1112により再度合成された後、投射レンズ1114を介してスクリーン1120にカラー画像として投射される。

【0176】本実施の形態では特に、遮光膜がTFTの下側にも設けられているため、当該液晶装置100からの投射光に基づく液晶プロジェクタ内の投射光学系による反射光、投射光が通過する際のTFTアレ基板的表面からの反射光、他の液晶装置から出射した後にダイクロイックプリズム1112を突き抜けてくる投射光の一部等が、戻り光としてTFTアレ基板的の側から入射しても、画素電極のスイッチング用のTFT等のチャンネル領域に対する遮光を十分に行うことができる。このため、小型化に適したプリズムを投射光学系に用いても、各液晶装置のTFTアレ基板とプリズムとの間において、戻り光防止用のARフィルムを貼り付けたり、偏光板にAR被膜処理を施したりすることが不要となるので、構成を小型且つ簡易化する上で大変有利である。

【0177】図26において、電子機器の他の例たるマルチメディア対応のラップトップ型のパーソナルコンピュータ(PC)1200は、上述した液晶装置100がトップカバーケース内に備えられており、更にCPU、メモリ、モデム等を収容すると共にキーボード1202

が組み込まれた本体1204を備えている。

【0178】図27において、電子機器の他の例たるページャ1300は、金属フレーム1302内に前述の駆動回路1004がTFTアレ基板上に搭載されて液晶表示モジュールをなす液晶装置100が、バックライト1306aを含むライトガイド1306、回路基板1308、第1及び第2のシールド板1310及び1312、二つの弾性導電体1314及び1316、並びにフィルムキャリアテープ1318と共に収容されている。この例の場合、前述の表示情報処理回路1002(図24参照)は、回路基板1308に搭載してもよく、液晶装置100のTFTアレ基板上に搭載してもよい。更に、前述の駆動回路1004を回路基板1308上に搭載することも可能である。

【0179】尚、図27に示す例はページャであるので、回路基板1308等が設けられている。しかしながら、駆動回路1004や更に表示情報処理回路1002を搭載して液晶モジュールをなす液晶装置100の場合には、金属フレーム1302内に液晶装置100を固定したものを液晶装置として、或いはこれに加えてライトガイド1306を組み込んだバックライト式の液晶装置として、生産、販売、使用等することも可能である。

【0180】また図28に示すように、駆動回路1004や表示情報処理回路1002を搭載しない液晶装置100の場合には、駆動回路1004や表示情報処理回路1002を含むIC1324がポリイミドテープ1322上に実装されたTCP(Tape Carrier Package)1320に、TFTアレ基板10の周辺部に設けられた異方性導電フィルムを介して物理的且つ電氣的に接続して、液晶装置として、生産、販売、使用等することも可能である。

【0181】以上図25から図28を参照して説明した電子機器の他にも、液晶テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、エンジニアリング・ワークステーション(EWS)、携帯電話、テレビ電話、POS端末、タッチパネルを備えた装置等などが図24に示した電子機器の例として挙げられる。

【0182】以上説明したように、本実施の形態によれば、製造効率が高く、高コントラストで高品位の画像表示が可能な液晶装置100を備えた各種の電子機器を実現できる。

【0183】

【発明の効果】本発明の液晶装置によれば、画素開口領域として使用不可能なデータ線下のスペースや走査線に沿った画素境界のスペースを、画素電極に対し蓄積容量を付与するために有効利用できると同時に、データ線の上方に位置する画素部付近の平坦化が図られており、この付近で最も起き易かった液晶の配向不良を効率的に低



減でき、高コントラストで高精細な画像表示が可能となる。他方、所定方向でラビング処理を施すことにより、ラビング処理を適切に施すことが困難で液晶の配向不良が起き易い箇所を画像表示に悪影響を及ぼさない位置に配置でき、言い換えれば画素開口率を効率的に高めることも可能となる。特に、走査線反転駆動方式（1H反転駆動方式）を使用した際に、この効果は顕著に現われる。また、平坦化のために凹状に窪められ、従って薄い絶縁膜部分を容量形成用絶縁膜として利用することで、画素電極の蓄積容量を限られたスペースの中で効率的に増加できる。更に、TFTの下側に配置した遮光膜をも利用して、この蓄積容量を更に効率的に増加できる。更にまた、遮光膜と定電位源との接続を容易にすることも可能である。

【0184】他方、本発明の液晶装置の製造方法によれば、比較的簡単な工程制御により或いは信頼性の高い工程により、本発明の液晶装置を製造するが可能となる。また、容量形成用絶縁膜を非常に薄くすることにより、画素電極の蓄積容量を効率的に増加することも可能となる。更に、各種のコンタクトホールを一括して開孔することにより、液晶装置における低コスト化を図ることも可能である。

【0185】また、本発明の電子機器によれば、液晶の配向不良による画質の低下が低減されており、高コントラストで高品位の画像表示が可能であり、しかも低コストの液晶プロジェクタ、パーソナルコンピュータ、ページャ等の様々な電子機器を実現可能となる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態における液晶装置に備えられる、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の平面図である。

【図2】 第1の実施の形態における遮光膜と定電位線との接続部分を示すTFTアレイ基板の平面図である。

【図3】 図1のA-A'断面を対向基板等と共に示す液晶装置の断面図である。

【図4】 図1のB-B'断面図である。

【図5】 図1のC-C'断面図である。

【図6】 図1のD-D'断面を対向基板等と共に示す液晶装置の断面図である。

【図7】 TN液晶における横電界の影響によるディスクリネーションを各種駆動方式について模式的に示した説明図である。

【図8】 本発明の第2の実施の形態における液晶装置に備えられる、データ線、走査線、画素電極等が形成されたTFTアレイ基板の平面図である。

【図9】 図8のB-B'断面図である。

【図10】 本発明の第3の実施の形態における液晶装置の図8のC-C'断面に対応する箇所における部分断面図である。

【図11】 本発明の第4の実施の形態における液晶装

置の図8のB-B'断面に対応する箇所における部分断面図である。

【図12】 本発明の第5の実施の形態における液晶装置の図8のB-B'断面に対応する箇所における部分断面図である。

【図13】 本実施の形態における液晶装置の全体構成を示す平面図である。

【図14】 本実施の形態における液晶装置の全体構成を示す断面図である。

【図15】 遮光配線をなす遮光膜の2次元的レイアウトを示すTFTアレイ基板上的の平面図である。

【図16】 液晶装置の実施の形態の製造プロセスを図4に示した部分について順を追って示す工程図（その1）である。

【図17】 液晶装置の実施の形態の製造プロセスを図4に示した部分について順を追って示す工程図（その2）である。

【図18】 液晶装置の実施の形態の製造プロセスを図4に示した部分について順を追って示す工程図（その3）である。

【図19】 液晶装置の実施の形態の製造プロセスを図4に示した部分について順を追って示す工程図（その4）である。

【図20】 液晶装置の実施の形態の製造プロセスを図6に示した部分について順を追って示す工程図（その1）である。

【図21】 液晶装置の実施の形態の製造プロセスを図6に示した部分について順を追って示す工程図（その2）である。

【図22】 液晶装置の実施の形態の製造プロセスを図6に示した部分について順を追って示す工程図（その3）である。

【図23】 液晶装置の実施の形態の製造プロセスを図6に示した部分について順を追って示す工程図（その4）である。

【図24】 本発明による電子機器の実施の形態の概略構成を示すブロック図である。

【図25】 電子機器の一例としての液晶プロジェクタを示す断面図である。

【図26】 電子機器の他の例としてのパーソナルコンピュータを示す正面図である。

【図27】 電子機器の一例としてのページャを示す分解斜視図である。

【図28】 電子機器の一例としてのTCPを用いた液晶装置を示す斜視図である。

【符号の説明】

1a…半導体層

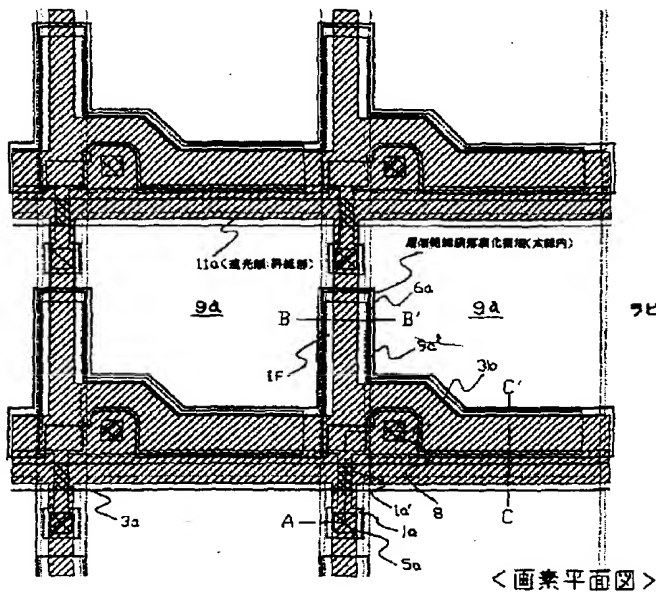
1a'…チャネル形成用領域

1b…低濃度ソース領域（ソース側LDD領域）

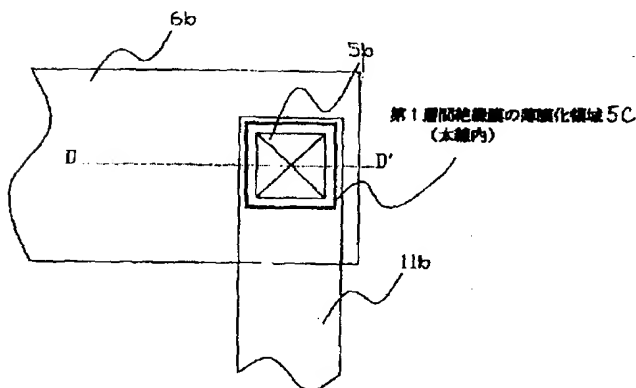
1c…低濃度ドレイン領域（ドレイン側LDD領域）

- 1 d…高濃度ソース領域  
 1 e…高濃度ドレイン領域  
 1 f…第1蓄積容量電極  
 2…容量形成用絶縁膜（ゲート絶縁膜）  
 3 a…走査線（ゲート電極）  
 3 b…容量線（第2蓄積容量電極）  
 4…第2層間絶縁膜  
 5 a、5 b…コンタクトホール  
 6 a…データ線（ソース電極）  
 6 b…定電位線  
 7…第3層間絶縁膜  
 8…コンタクトホール  
 9 a…画素電極  
 10…TFTアレ基板  
 11 a、11 b…遮光膜（第3蓄積容量電極）  
 12…第1絶縁膜（第1層間絶縁膜の下層）

【図1】

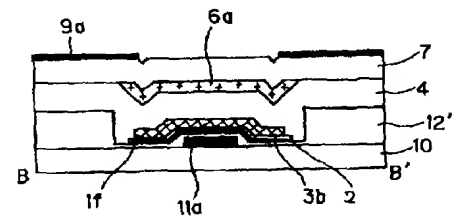


【図2】

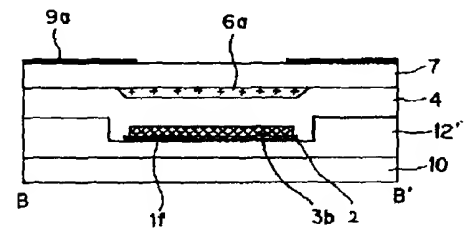


- 12'…第1層間絶縁膜  
 13…第2絶縁膜（第1層間絶縁膜の上層）  
 19…配向膜  
 20…対向基板  
 21…対向電極  
 22…配向膜  
 23…遮光層  
 30…TFT  
 50…液晶層  
 52…シール材  
 53…周辺見切り  
 70…蓄積容量  
 100…液晶装置  
 101…データ線駆動回路  
 104…走査線駆動回路

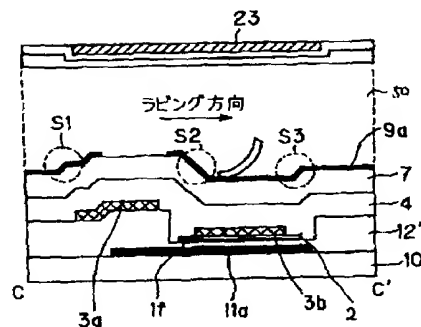
【図4】



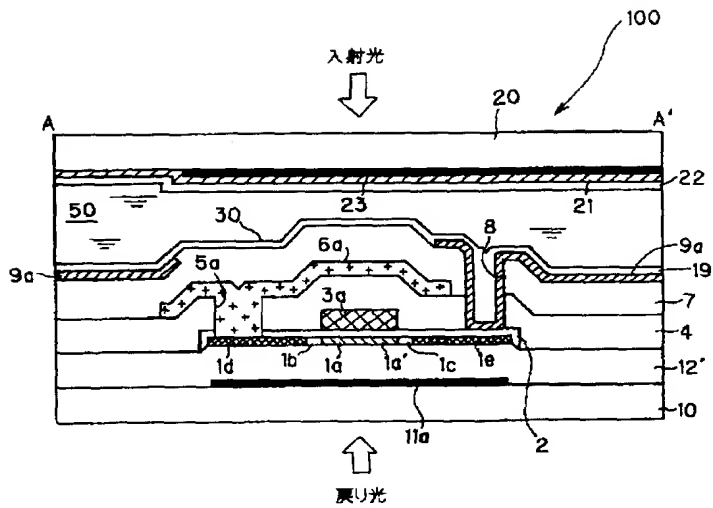
【図9】



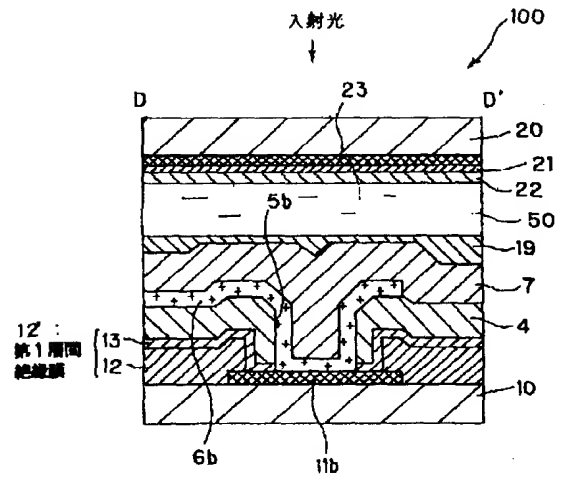
【図5】



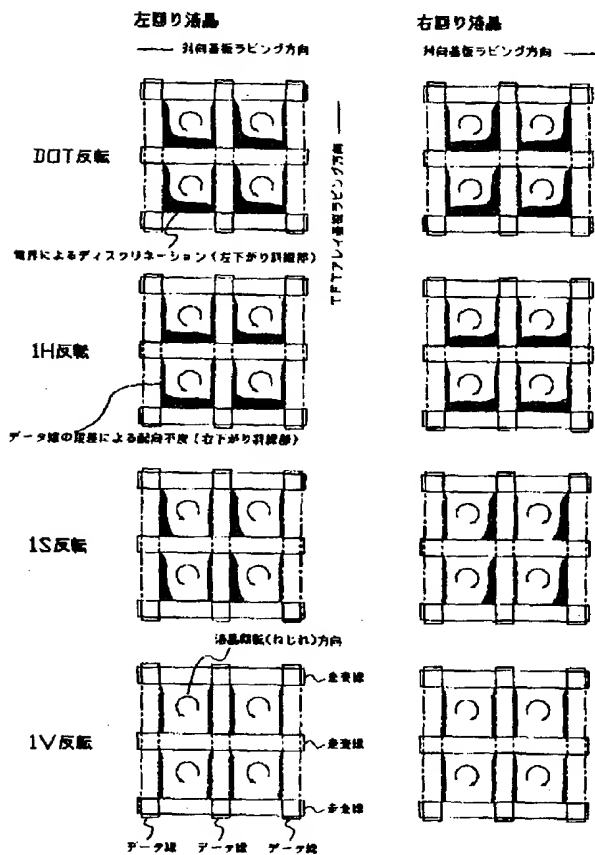
【図 3】



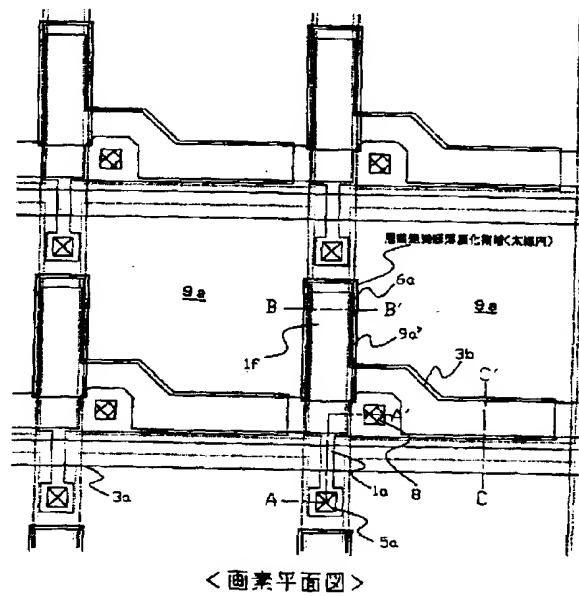
【図 6】



【図 7】

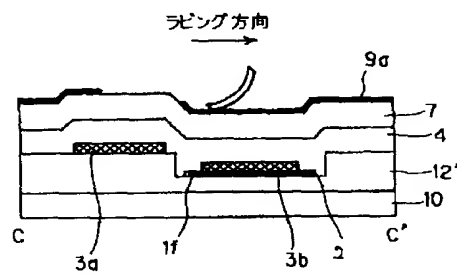


【図 8】



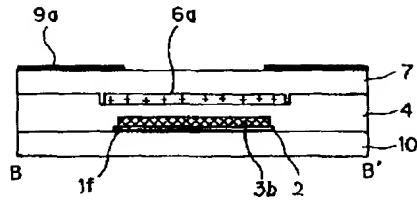
&lt; 画素平面図 &gt;

【図 10】



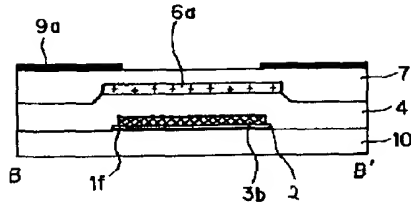
【図 1 1】

第2層間絶縁膜を薄膜化

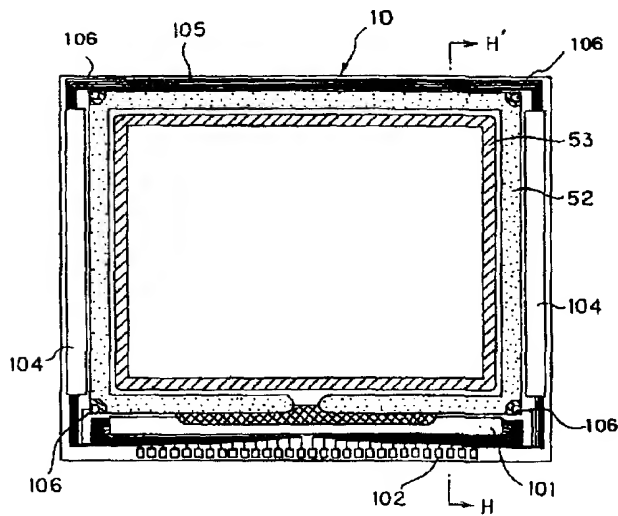


【図 1 2】

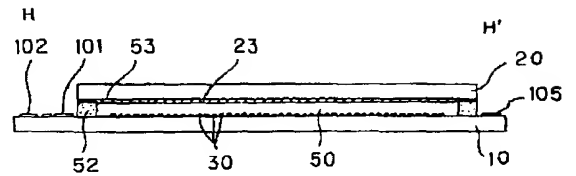
第3層間絶縁膜を薄膜化



【図 1 3】



【図 1 4】



【図 1 6】



工程 ( 1 )



工程 ( 2 )



工程 ( 3 )



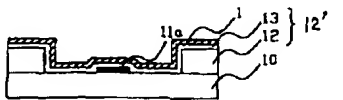
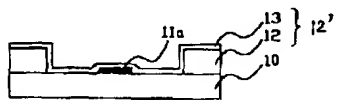
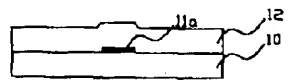
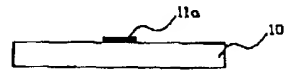
工程 ( 4 )



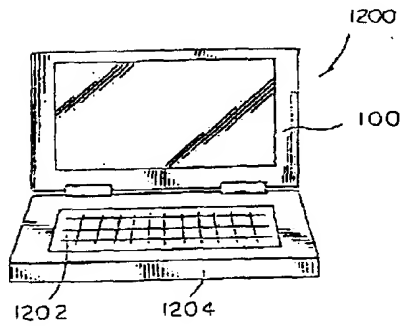
工程 ( 5 )



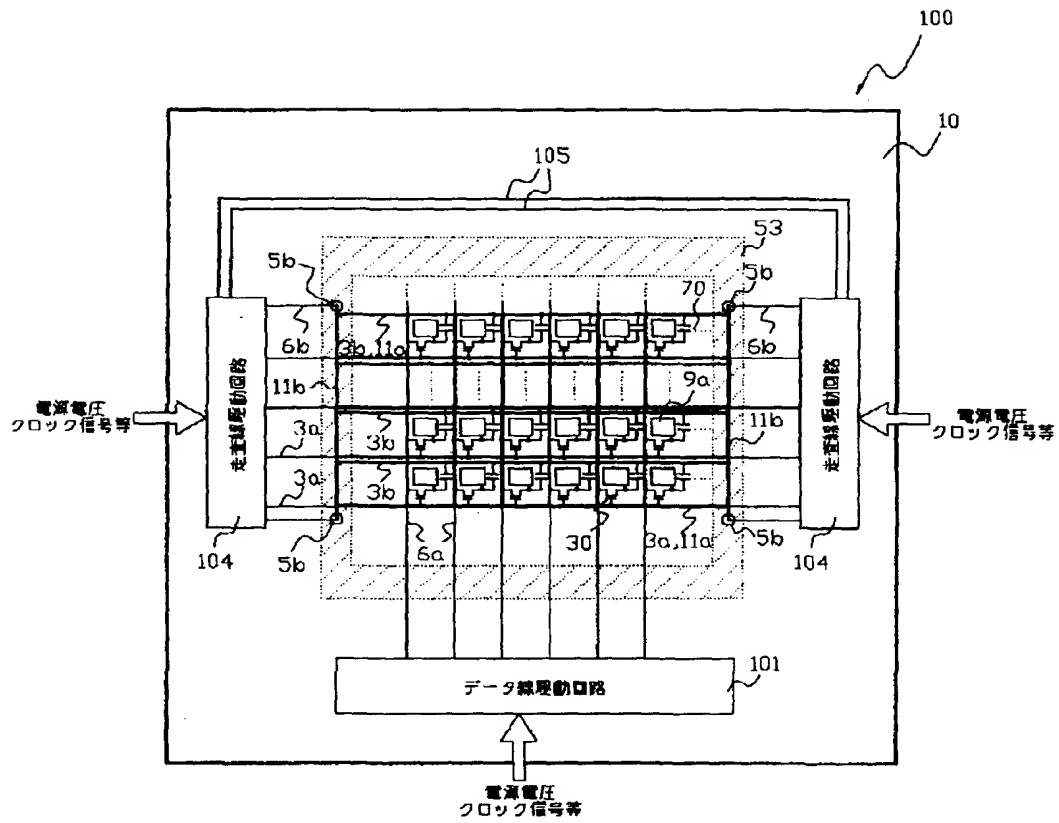
工程 ( 6 )



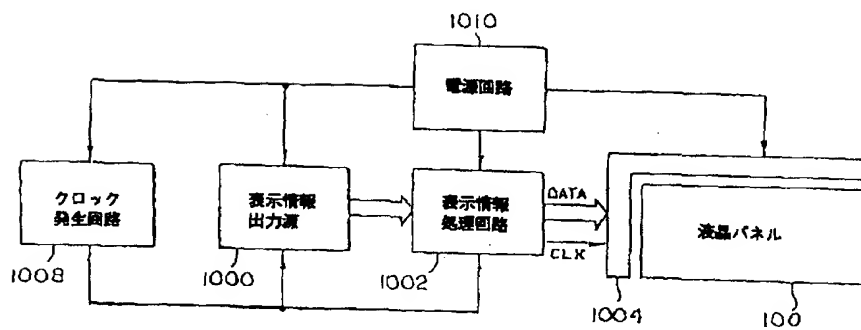
【図 2 6】



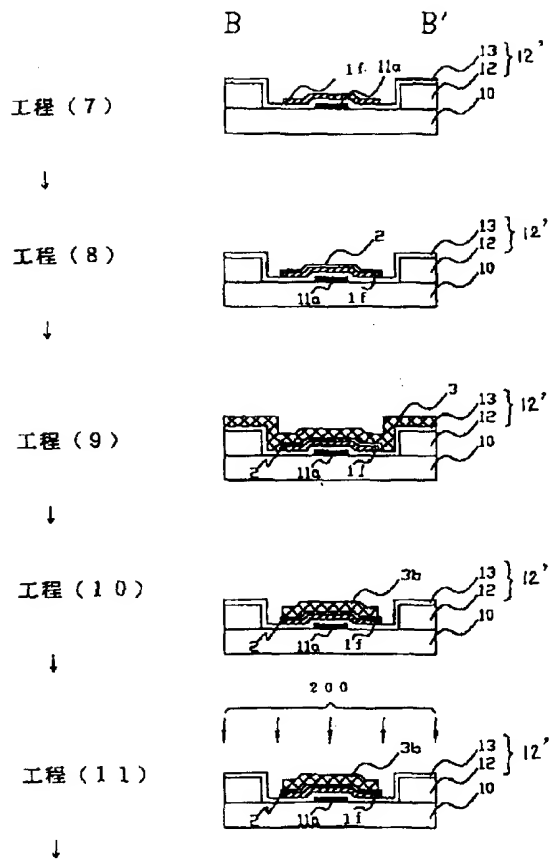
【図 15】



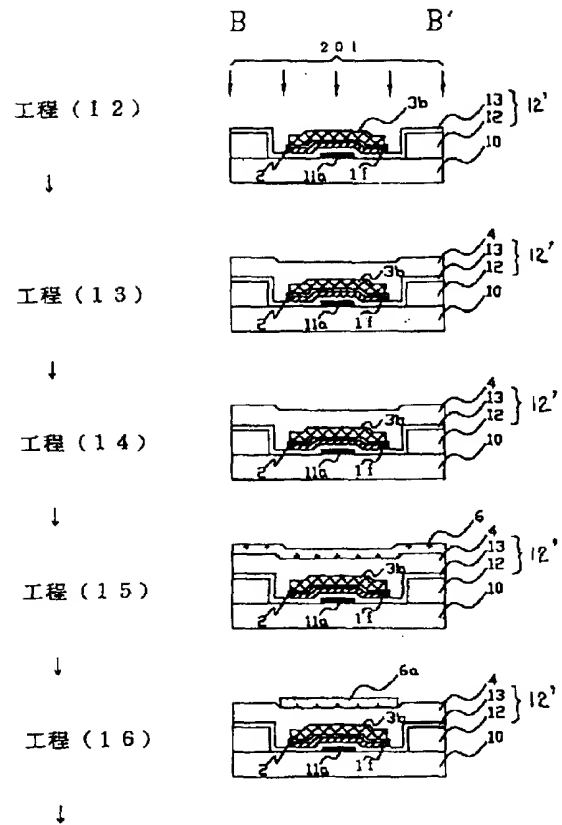
【図 24】



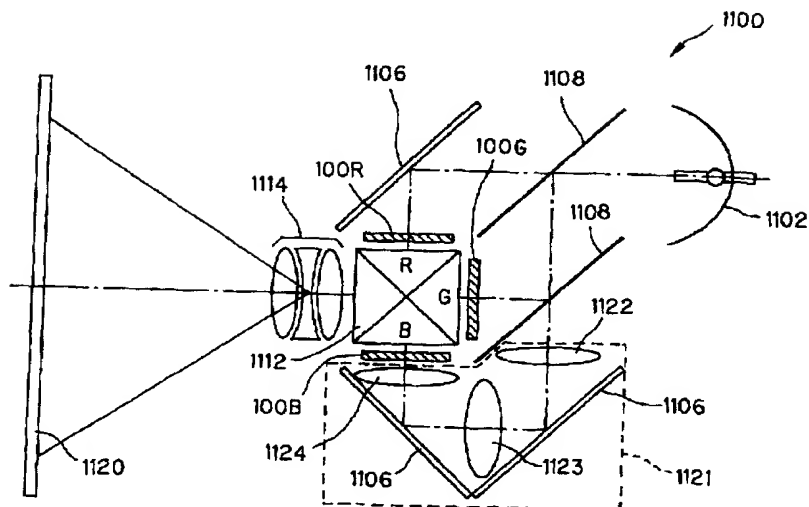
【図 17】



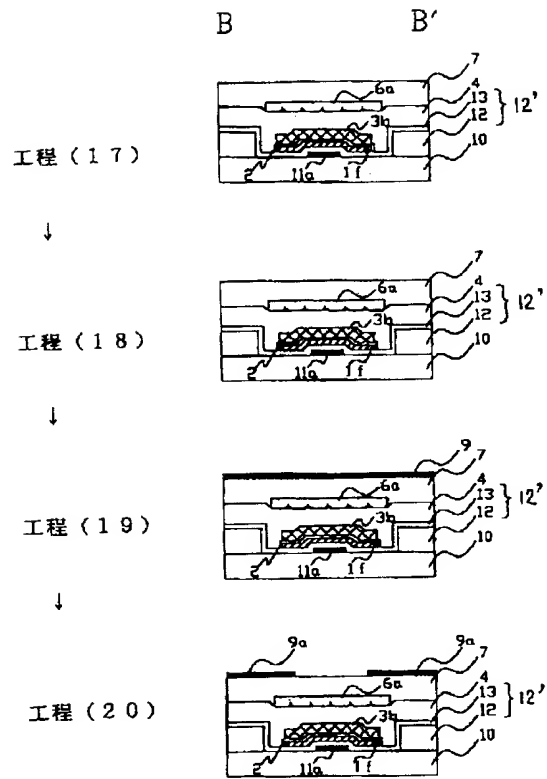
【図 18】



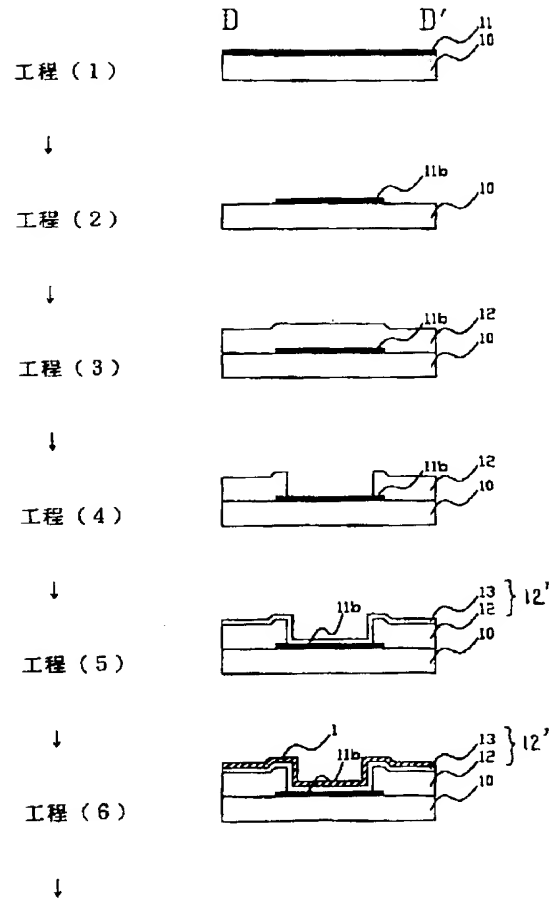
【図 25】



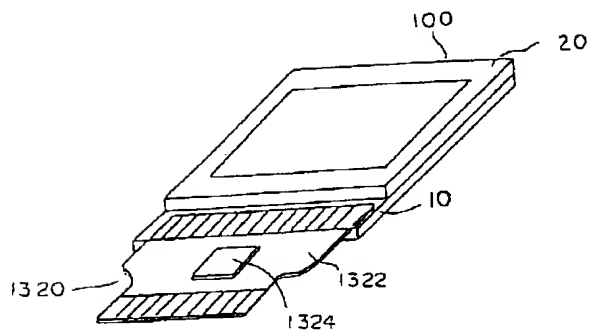
【図 19】



【図 20】

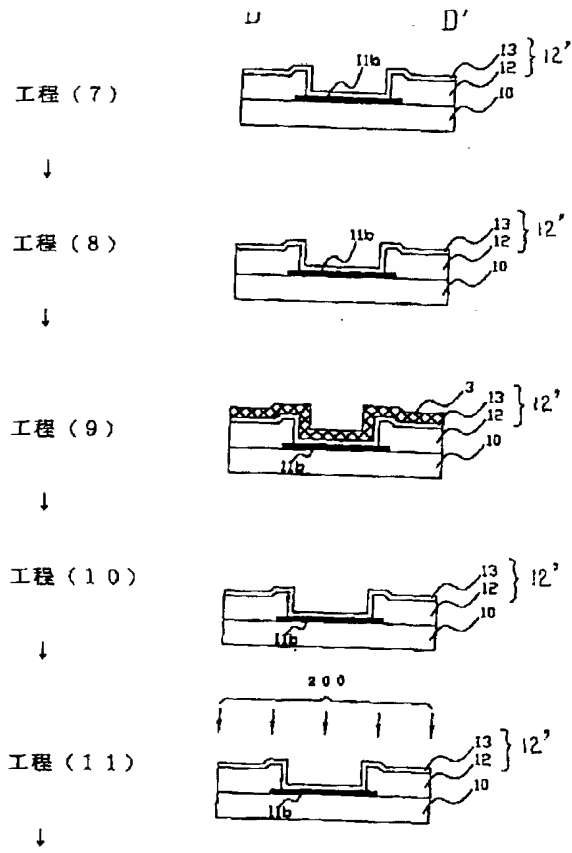


【図 28】

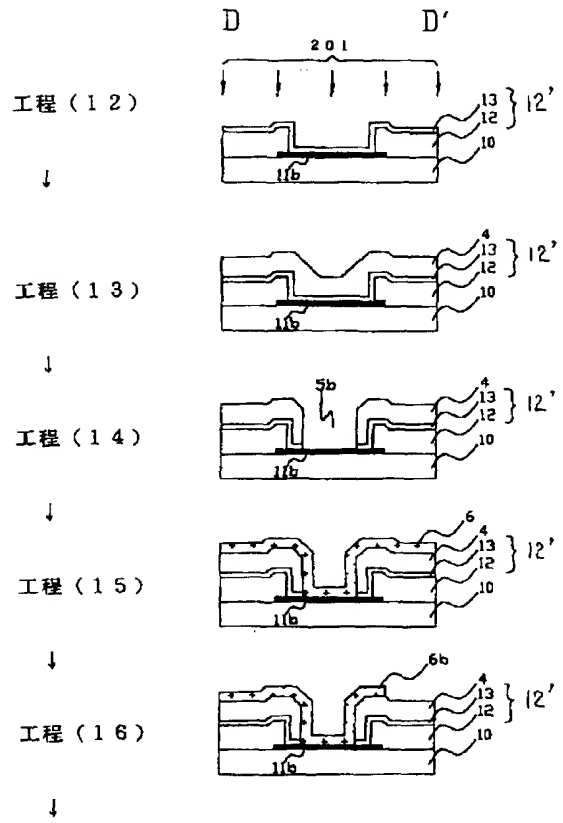




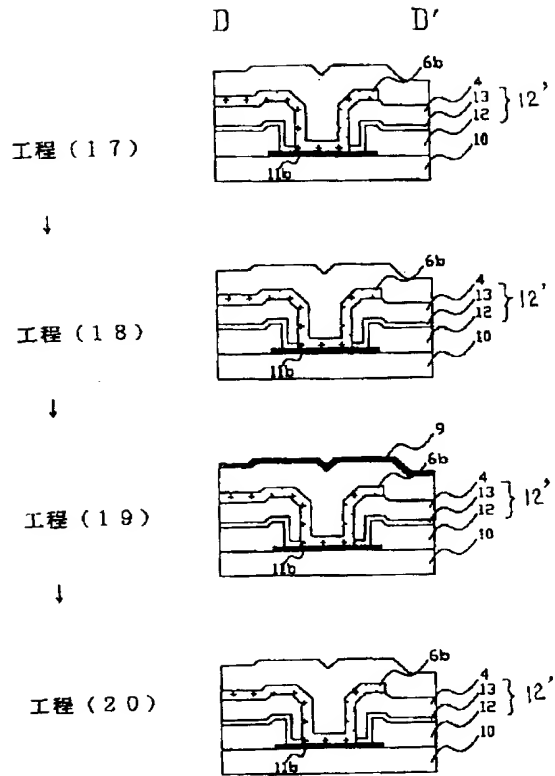
【図 2 1】



【図 2 2】



【図 2 3】



【図 2 7】

